

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Tomohiro TAKAMATSU, et al.

Serial Number: Not Yet Assigned

Filed: October 29, 2003

**Customer No.: 38834**

For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF A  
SEMICONDUCTOR DEVICE

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

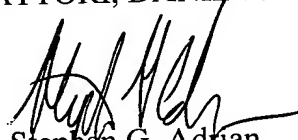
**Japanese Appln. No. 2002-316733, filed on October 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 032057  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/II

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月30日

出 願 番 号

Application Number:

特願2002-316733

[ ST.10/C ]:

[ JP 2002-316733 ]

出 願 人

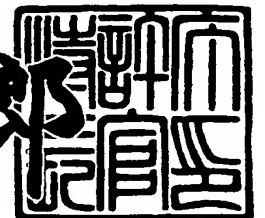
Applicant(s):

富士通株式会社

2003年 5月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3034254

【書類名】 特許願

【整理番号】 0241416

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108  
H01L 27/10

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 高松 知宏

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中村 亘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 渡邊 純一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 王 文生

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 佐藤 尚之

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 土手 暁

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 野村 健二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 堀井 義正

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 倉澤 正樹

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 高井 一章

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663



【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上方に形成された絶縁膜と、  
前記絶縁膜の上に形成された密着層と、  
前記密着層の上に形成されたキャパシタ下部電極と、  
前記キャパシタ下部電極の上に形成され、且つ A サイトと B サイトの少なくとも一方に Ir を含む  $ABO_3$  型ペロブスカイト構造 ( $A = Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B = Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$  のいずれか) を有する強誘電体層と、  
前記強誘電体層上に形成されたキャパシタ上部電極と  
を有することを特徴とする半導体装置。

【請求項 2】 前記強誘電体層の (1 1 1) 配向方位は、前記半導体基板の上面の垂直方向から  $3.5^\circ$  以下の傾きであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記下部電極の (1 1 1) 配向方位は、前記半導体基板の上面の垂直方向からの傾きが  $2.3^\circ$  以下であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記密着層の上面の粗さは  $0.79\text{ nm}$  以下であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 半導体基板の上方に形成された絶縁膜と、  
前記絶縁膜の上に形成され且つ表面粗さが  $0.79\text{ nm}$  以下の密着層と、  
前記密着層の上に形成され且つ前記半導体基板の上面の垂直方向から  $2.3^\circ$  以下で傾いた (1 1 1) 配向方位であるキャパシタ下部電極と、  
前記キャパシタ下部電極の上に形成され且つ  $ABO_3$  型ペロブスカイト構造 ( $A = Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B = Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$  のいずれか) を有する強誘電体層と、  
前記強誘電体層上に形成された前記キャパシタ上部電極と  
を有することを特徴とする半導体装置。

【請求項 6】半導体基板の上方に形成された絶縁膜と、  
 前記絶縁膜の上に形成された密着層と、  
 前記密着層の上に形成されたキャパシタ下部電極と、  
 前記キャパシタ下部電極の上に形成され、前記半導体基板の上面の垂直方向から  $3.5^\circ$  以下の傾きの  $(111)$  配向方位であり、且つ  $ABO_3$  型ペロブスカイト構造 ( $A=Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$ のいずれか) を有する強誘電体層と、  
 前記強誘電体層上に形成された前記キャパシタ上部電極と  
 を有することを特徴とする半導体装置。

【請求項 7】半導体基板の上方に絶縁膜を形成する工程と、  
 表面粗さが  $0.79\text{ nm}$  以下の密着層を前記絶縁膜の上に形成する工程と、  
 $(111)$  配向方位が前記半導体基板の上面の垂直方向から  $2.3^\circ$  以下に傾いている第 1 導電膜を前記密着層の上に形成する工程と、  
 前記第 1 導電膜の上に強誘電体層を形成する工程と、  
 前記強誘電体層上に前記第 2 導電膜を形成する工程と、  
 前記第 2 導電膜をパターニングしてキャパシタ上部電極を形成する工程と、  
 前記強誘電体層をパターニングすることにより少なくとも前記上部電極の下に残す工程と、  
 前記第 1 導電膜をパターニングすることにより、前記上部電極の下方にキャパシタ下部電極を形成する工程と  
 を有することを特徴とする半導体装置の製造方法。

【請求項 8】半導体基板の上方に絶縁膜を形成する工程と、  
 前記絶縁膜の上に密着層を形成する工程と、  
 前記密着層の上に第 1 導電膜を形成する工程と、  
 A サイトと B サイトの少なくとも一方に Ir 元素を含む  $ABO_3$  型ペロブスカイト構造 ( $A=Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$ のいずれか) の強誘電体層を前記第 1 導電膜の上に形成する工程と、  
 前記強誘電体層の上に前記第 2 導電膜を形成する工程と、

前記第 2 導電膜をパターニングしてキャパシタ上部電極を形成する工程と、  
前記強誘電体層をパターニングすることにより少なくとも前記上部電極の下に残す工程と、

前記第 1 導電膜をパターニングすることにより、前記上部電極の下方にキャパシタ下部電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 9】半導体基板の上方に絶縁膜を形成する工程と、  
表面粗さが 0.79 nm 以下の密着層を前記絶縁膜の上に形成する工程と、  
イリジウム、イリジウム含有材料のいずれかからなる第 1 導電膜を前記密着層の上に形成する工程と、

上面側に (1 1 1) 配向を有するグレインを 90% 以上含む強誘電体層を MOCVD の成長方法により前記第 1 導電膜の上に形成する工程と、

前記強誘電体層上に前記第 2 導電膜を形成する工程と、  
前記第 2 導電膜をパターニングしてキャパシタ上部電極を形成する工程と、  
前記強誘電体層をパターニングすることにより少なくとも前記上部電極の下に残す工程と、

前記第 1 導電膜をパターニングすることにより、前記上部電極の下方にキャパシタ下部電極を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 10】前記強誘電体層を前記 MOCVD により形成する際の前記強誘電体層の成長温度を 600～650℃の間に設定することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳しくは、強誘電体キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ（F e R A M）が知られている。

## 【 0 0 0 3 】

フラッシュメモリは、絶縁ゲート型電界効果トランジスタ（I G F E T）のゲート絶縁膜中に埋め込んだフローティングゲートを有し、記憶情報を表す電荷をフローティングゲートに蓄積することによって情報を記憶する。情報の書込、消去にはゲート絶縁膜を通過するトンネル電流を流す必要があり、比較的高い電圧を必要とする。

## 【 0 0 0 4 】

F e R A Mは、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キャパシタを有する。強誘電体キャパシタにおいて上部電極と下部電極の間に形成される強誘電体膜は、上部電極及び下部電極の間に印加する電圧に応じて分極を生じ、印加電圧を取り去っても分極を保持する自発分極を有する。

## 【 0 0 0 5 】

印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極の極性、大きさを検出すれば情報を読み出すことができる。F e R A Mは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書込ができるという利点がある。

## 【 0 0 0 6 】

F e R A Mのメモリセルに使用されるキャパシタの構造は、下記の特許文献1～3に記載されているように、強誘電体膜として例えばP Z T膜を用いるとともに、強誘電体膜を下部電極と上部電極によって挟んだ構造を有している。下部電極として例えばプラチナ膜が用いられ、また、上部電極として例えばプラチナ膜、酸化イリジウム膜等が用いられている。

## 【 0 0 0 7 】

特許文献1では、C M O S集積回路ウェハを覆っている熱酸化膜の上に、酸化されたチタン粘着層が形成され、チタン粘着層上にプラチナ下部電極層、P Z T強誘電体膜、イリジウム上部電極層が順に形成されている。

## 【 0 0 0 8 】

特許文献2では、シリコンウェハの上に $\text{Si}_3\text{N}_4$  表面層、 $\text{Al}_2\text{O}_3$  中間層、白金層、PZT強誘電体層が順に形成されることが記載されている。これによれば、チタンを含む材料を中間層として用いる場合に比べて均一な層構造体を有するPZT強誘電体層が形成される、としている。この場合の、 $\text{Al}_2\text{O}_3$  中間層は、100～300℃の温度でスパッタリングにより形成されている。

## 【0009】

特許文献3には、絶縁膜上に第1の水素バリア膜、下部Pt電極膜、PZT膜、上部Pt電極膜、第2の水素バリア膜を順に形成して構成される強誘電体キャパシタが記載され、これにより強誘電体キャパシタの特性劣化を抑制することが記載されている。水素バリア膜として、アルミニウム酸化物( $\text{Al}_2\text{O}_3$ )、 $\text{Al}_x\text{O}_y$ 、AlN、WN、 $\text{SrRuO}_3$ 、 $\text{IrO}_x$ 、 $\text{RuO}_x$ 、 $\text{ReO}_x$ 、 $\text{OsO}_x$ 、 $\text{MgO}_x$ 、 $\text{ZrO}_x$ 等の金属酸化物から少なくとも一種選ばれることが記載されている。

## 【0010】

## 【特許文献1】

米国特許出願公開第2002/0074601号明細書

## 【特許文献2】

国際公開第98/05062号パンフレット

## 【特許文献3】

特開2001-36026号公報

## 【0011】

## 【発明が解決しようとする課題】

ところで、上記した特許文献1～3には、チタン含有材料膜或いは金属酸化物よりなる下地膜を下部電極の下に形成することが記載されているが、強誘電体キャパシタ特性が十分向上できなかつたり、同一チップ内でのメモリセルの性能のバラツキを十分に抑えることができない。

## 【0012】

本発明の目的は、強誘電体キャパシタの特性を従来に比べてさらに向上することができ半導体装置及びその製造方法を提供することにある。

## 【0013】

## 【課題を解決するための手段】

上記した課題は、半導体基板の上方に形成された絶縁膜と、前記絶縁膜の上に形成された密着層と、前記密着層の上に形成されたキャパシタ下部電極と、前記キャパシタ下部電極の上に形成された強誘電体層と、前記強誘電体層上に形成されたキャパシタ上部電極とを有しており、

前記強誘電体層が、AサイトとBサイトの少なくとも一方にIrを含む $ABO_3$ 型ペロブスカイト構造（ $A=Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$ のいずれか）を有するか、

前記密着層の表面粗さが $0.79\text{ nm}$ 以下であって且つ前記キャパシタ下部電極が前記半導体基板の上面の垂直方向から $2.3^\circ$ 以下で傾いているか、

前記強誘電体層が、前記半導体基板の上面の垂直方向から $3.5^\circ$ 以下で傾く（ $111$ ）配向方位を有する $ABO_2$ ペロブスカイト構造を有しているか、のいずれかであることを特徴とする半導体装置によって解決される。

## 【0014】

または、半導体基板の上方に絶縁膜を形成する工程と、密着層を前記絶縁膜の上に形成する工程と、第1導電膜を前記密着層の上に形成する工程と、前記第1導電膜の上に強誘電体層を形成する工程と、前記強誘電体層上に前記第2導電膜を形成する工程と、前記第2導電膜をパターンニングしてキャパシタ上部電極を形成する工程と、前記強誘電体層をパターンニングすることにより少なくとも前記上部電極の下に残す工程と、前記第1導電膜をパターンニングすることにより、前記上部電極の下方にキャパシタ下部電極を形成する工程とを有しており、

前記密着層の表面粗さを $0.79\text{ nm}$ 以下に形成し且つ前記第1導電膜の（ $111$ ）配向方位を前記半導体基板の上面の垂直方向から $2.3^\circ$ 以下に傾いて形成するか、

前記強誘電体層を、AサイトとBサイトの少なくとも一方にIrを含む $ABO_3$ 型ペロブスカイト構造（ $A=Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B=Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$ のいずれか）に形成するか、

前記密着層の表面粗さを $0.79\text{ nm}$ 以下に形成し、前記第1導電膜をイリジウム又はイリジウム含有材料から形成し、前記強誘電体層をMOCVD法によっ

て形成して(1 1 1) 配向を有するグレインを9 0 %以上含ませるかのいずれかであることを特徴とする半導体装置の製造方法により解決される。

## 【0 0 1 5】

本発明によれば、AサイトとBサイトの少なくとも一方にIrを含む $ABO_3$ 型ペロブスカイト構造の強誘電体層を含むキャパシタを有しているので、このキャパシタの残留分極特性は、Irを含まない $ABO_3$ 型ペロブスカイト構造の強誘電体層を有するキャパシタの残留分極特性に比べて、大きくなる。

## 【0 0 1 6】

また、表面粗さが0. 7 9 nm以下の密着層の上に(1 1 1) 配向方向が基板面の垂直方向に対して2. 3° 以下に傾いているキャパシタ下部電極を形成しているので、キャパシタ下部電極の上に形成される強誘電体層の(1 1 1) 配向方向が良好になる。

## 【0 0 1 7】

さらに、キャパシタにおいて下部電極上に形成される強誘電体層の(1 1 1) 配向方向を基板面の垂直方向に対して3. 5° 以下に傾けたので、そのようなキャパシタを有するFeRAMは不良ビット数が従来よりも少なくなる。

## 【0 0 1 8】

また、表面粗さが0. 7 9 nm以下の密着層の上にイリジウム又はイリジウム含有材料からなる下部電極を形成し、その上にMOCVD法により強誘電体層を形成すると、(1 1 1) 配向を有するグレインを9 0 %以上含む強誘電体層の形成が可能になる。この場合、強誘電体層の成長温度(基板温度)を6 0 0 ~ 6 5 0 °Cに設定することが好ましい。

## 【0 0 1 9】

なお、キャパシタがスタック型の場合には、その範囲の成長温度により強誘電体層を形成するとキャパシタ直下の導電性プラグが酸化されるおそれがある。この場合には、導電性プラグを酸素バリアメタル層によって覆う構造を採用することにより、導電性プラグの酸化が防止される。

## 【0 0 2 0】

## 【発明の実施の形態】



以下に、本発明の実施形態を図面に基づいて説明する。

(第 1 の実施の形態)

図 1 ～ 図 7 は、本発明の第 1 実施形態に係る半導体記憶装置の形成工程を示す断面図である。

【 0 0 2 1 】

まず、図 1 (a) に示す断面構造を形成するまでの工程を説明する。

【 0 0 2 2 】

図 1 (a) において、p 型シリコン (半導体) 基板 1 の表面には、LOCOS (Local Oxidation of Silicon) 法によって素子分離絶縁膜 2 が形成される。なお、素子分離絶縁膜 2 として、STI (Shallow Trench Isolation) 構造を採用してもよい。

【 0 0 2 3 】

素子分離絶縁膜 2 を形成した後に、シリコン基板 1 のメモリセル領域 A と周辺回路領域 B における所定の活性領域 (トランジスタ形成領域) に p 型不純物と n 型不純物を選択して導入することにより、メモリセル領域 A の活性領域に p ウェル 3 a を形成し、周辺回路領域 B の活性領域に n ウェル 3 b を形成する。

【 0 0 2 4 】

なお、図 1 ～ 図 7 において、p ウェル 3 a の一部は省略して描かれている。また、周辺回路領域 B では CMOS を形成するために p ウェル (不図示) も形成される。

【 0 0 2 5 】

その後、シリコン基板 1 の表面を熱酸化して、p ウェル 3 a と n ウェル 3 b の各表面上でゲート絶縁膜 4 として使用されるシリコン酸化膜を形成する。

【 0 0 2 6 】

次に、素子分離絶縁膜 2 及びゲート絶縁膜 4 の上に多結晶又は非晶質のシリコン膜とタングステンシリサイド膜を順に形成する。そして、シリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターニングして、p ウェル 3 a の上にゲート電極 5 a、5 b を形成し、n ウェル 3 b の上にゲート電極 5 c を形成する。なお、p ウェル 3 a 上の一方のゲート電極 5 b は一

部が省略して描かれている。

【 0 0 2 7 】

メモリセル領域Aでは、pウェル3 a上には2つのゲート電極5 a, 5 bがほぼ平行に間隔をおいて形成され、これらのゲート電極5 a, 5 bは素子分離絶縁膜2の上に延在してワード線となる。

【 0 0 2 8 】

次に、メモリセル領域Aの1つのpウェル3 aのうち、ゲート電極5 a, 5 bの両側にn型不純物をイオン注入して、nチャネルMOSトランジスタ $T_1$ ,  $T_2$ のソース/ドレインとなる第1、第2のn型不純物拡散領域7 a, 7 b及び第3のn型不純物拡散領域（不図示）を形成する。pウェル3 aの中央に位置する第2のn型不純物拡散領域7 bは後述するビット線に電氣的に接続され、また、pウェル3 aの両側に位置する第1のn型不純物拡散領域7 aと第3のn型不純物拡散領域は後述する強誘電体キャパシタに電氣的に接続される。

【 0 0 2 9 】

続いて、周辺回路領域Bのnウェル3 bのうち、ゲート電極5 cの両側にp型不純物をイオン注入して、pチャネルMOSトランジスタ $T_3$ のソース/ドレインとなる第1、第2のp型不純物拡散領域8 a, 8 bを形成する。

【 0 0 3 0 】

その後に、シリコン基板1、素子分離絶縁膜2及びゲート電極5 a, 5 b, 5 cの上に絶縁膜を形成する。そして、絶縁膜をエッチバックすることにより、ゲート電極5 a～5 cの両側部分に側壁絶縁膜6として残す。その絶縁膜として、例えばCVD法により形成される酸化シリコン( $\text{SiO}_2$ )を使用する。

【 0 0 3 1 】

さらに、pウェル3 a上のゲート電極5 a, 5 b及び側壁絶縁膜6をマスクにして、第1、第2のn型不純物拡散領域7 a, 7 b及び第3のn型不純物拡散領域にn型不純物をイオン注入することによりn型不純物拡散領域をLDD構造にする。また、nウェル3 b上のゲート電極5 c及び側壁絶縁膜6をマスクにしてp型不純物拡散領域8 a, 8 bにp型不純物をイオン注入することによりp型不純物拡散領域8 a, 8 bをLDD構造にする。

## 【 0 0 3 2 】

なお、上記した n 型不純物と p 型不純物の打ち分けは、図示しないレジストパターンを使用して行われる。

## 【 0 0 3 3 】

これにより、第 1 及び第 2 の n 型不純物拡散領域 7 a, 7 b とゲート電極 5 a を有する第 1 の nMOS トランジスタ  $T_1$  の形成と、第 2 の n 型不純物拡散領域 7 b と第 3 の n 型不純物拡散領域とゲート電極 5 b を有する第 2 の nMOS トランジスタ  $T_2$  の形成の形成が終了し、さらに、第 1 及び第 2 の p 型不純物拡散領域 8 a, 8 b とゲート電極 5 c を有する pMOS トランジスタ  $T_3$  の形成が終了する。

## 【 0 0 3 4 】

この後に、nMOS トランジスタ  $T_1$ ,  $T_2$  及び pMOS トランジスタ  $T_3$  を覆うカバー膜 1 0 をシリコン基板 1 上にプラズマ CVD 法により形成する。カバー膜 1 0 として例えば酸化シリコン (SiON) 膜を形成する。

## 【 0 0 3 5 】

次に、TEOS ガスを用いるプラズマ CVD 法により、酸化シリコン ( $SiO_2$ ) 膜を約 1.0  $\mu m$  の厚さに成長し、この酸化シリコン膜を第 1 の層間絶縁膜 1 1 として使用する。

## 【 0 0 3 6 】

続いて、第 1 の層間絶縁膜 1 1 の緻密化処理として、常圧の窒素雰囲気中で第 1 の層間絶縁膜 1 1 を 650℃ の温度で 30 分間熱処理する。その後に、第 1 の層間絶縁膜 1 1 の上面を化学機械研磨 (CMP ; Chemical Mechanical Polishing) 法により研磨して平坦化する。

## 【 0 0 3 7 】

次に、第 1 の層間絶縁膜 1 1 上に、表面粗さ Rms が 0.79 nm 以下の密着層 1 2 を形成する。なお、表面粗さ Rms は、測定対象面において、平均線から測定曲線までの偏差の二乗を平均した値の平方根である。

## 【 0 0 3 8 】

密着層 1 2 として、例えば表面粗さ Rms が 0.79 nm 以下のアルミナ ( $Al_2O_3$ )

層を形成する。表面粗さRmsが0.79nm以下のアルミナ層をスパッタにより形成する条件として、スパッタ装置のチャンバ内に入れたシリコン基板1の温度を20~100℃とし、チャンバ内に導入するアルゴンガスの流量を10~50sccmとし、ターゲットとしてアルミナを用い、ターゲット・基板間に印加するパワーを0.2~4.0kWとする。そのような表面粗さを有するアルミナ層の膜厚は、特に限定されるものではないが、5~100nm、より好ましくは、5~30nmに形成される。なお、アルミナ層はアモルファス状態である。

## 【0039】

密着膜12は、後述する下部電極と第1層間絶縁膜11の密着層であって、下部電極の下地層となる。

## 【0040】

次に、図1(b)に示すように、密着膜12上に、第1の導電膜13としてプラチナ(Pt)膜を50~300nm、例えば150nmの厚さに形成する。厚さ150nmのPt膜をスパッタにより形成する条件として、例えばスパッタ装置のチャンバ内に入れたシリコン基板1の温度を約100℃とし、チャンバ内に導入するアルゴンガスの流量を約116sccmとし、ターゲットとしてプラチナを用い、ターゲット・基板間に印加するパワーを約1.0kWとして、形成時間を約84秒間とする。

## 【0041】

この状態では、密着層12上のPt膜の結晶粒の(111)配向方位の傾きは、シリコン基板1上面の垂直方向から2.3度以下に傾いている。なお、本実施形態及び以下の実施形態における配向は、膜又は層の上面に現れる面方位である。

## 【0042】

その後、図2(a)に示すように、強誘電体膜14として厚さ100~300nm、例えば200nmのチタン酸ジルコン酸鉛(PZT;  $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)_2\text{O}_7$ 、 $0 < x < 1$ )膜をRFスパッタ法により第1の導電膜13上に形成する。

## 【0043】

厚さ200nmのPZT膜を形成する条件として、例えば、スパッタパワーを1kW、チャンバ内に導入するアルゴンの流量を20sccm、基板温度を50℃、タ

ターゲットとして P Z T、膜形成時間を 3 1 5 秒とする。

【 0 0 4 4 】

なお、強誘電体層 1 4 の形成方法は、その他に、MOD (metal organic deposition) 溶液を用いたスピンオン法、MOCVD (有機金属 CVD) 法、ゾル・ゲル溶液使用のスピンオン法などがある。また、強誘電体層 1 5 の材料としては、P Z T 以外に、P Z T にランタン (La)、ストロンチウム (Sr)、カルシウム (Ca) の少なくとも 1 つの元素を含む他の P Z T 系材料や、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (S B T、Y 1)、 $\text{SrBi}_2(\text{Ta},\text{Nb})_2\text{O}_9$  (S B T N、Y Z) 等の Bi 層状構造化合物、その他の金属酸化物強誘電体を採用してもよい。

【 0 0 4 5 】

続いて、強誘電体膜 1 4 を構成する P Z T 膜の第 1 回目のアニール処理として、急速加熱処理装置を用いて、酸素雰囲気中で温度 5 8 5 °C 程度、9 0 秒間程度の条件で急速熱処理 (R T A (Rapid Thermal Annealing)) を行う。この場合、酸素雰囲気には、酸素ガスを流量 5 0 cc/min.、アルゴンガスを流量 1. 9 5 リットル/min. で導入する。この第 1 回目の P Z T アニールにより P Z T 膜が結晶化する。

【 0 0 4 6 】

続いて、図 2 (b) に示すように、強誘電体膜 1 4 の上に第 2 の導電膜 1 5 として酸化イリジウム ( $\text{IrO}_x$ ) 膜を反応性スパッタ法により例えば 2 0 0 nm の厚さに形成する。

【 0 0 4 7 】

$\text{IrO}_x$  膜をスパッタにより形成する条件として、例えばスパッタ装置のチャンバ内に入れたシリコン基板 1 の温度を約 2 0 °C とし、チャンバ内に導入するアルゴンガスの流量を約 1 0 0 sccm、酸素 ( $\text{O}_2$ ) ガスの流量を 5 6 sccm とし、ターゲットとしてイリジウム (Ir) を用い、ターゲット・基板間に印加するパワーを約 2. 0 kW とする。

【 0 0 4 8 】

この後に、第 2 回目のアニール処理として、酸素雰囲気中で温度 7 2 5 °C 程度で 2 0 秒間程度の条件で、強誘電体膜 1 4 及び  $\text{IrO}_x$  膜 1 5 に R T A を行う。こ

の場合、酸素雰囲気には、酸素ガスを流量 2 0 cc/min.、アルゴンガスを流量 2 リットル/min. で導入する。この第 2 回目のアニール処理によれば、第 2 の導電膜 1 5 を構成するイリジウムが P Z T 強誘電体膜 1 4 にドーピングされた状態となる。この場合の強誘電体膜中のイリジウム (Ir) は、P Z T のペロブスカイト構造を構成する酸素以外の原子の一部がイリジウムによって置き換えられた構造となっている。

## 【 0 0 4 9 】

この状態では、第 1 の導電膜 1 3 上の P Z T 強誘電体膜 1 4 の ( 1 1 1 ) 配向結晶粒の配向方位の傾きは、シリコン基板 1 の上面の垂直方向から 7 ° 以下に傾いている。

## 【 0 0 5 0 】

次に、図 3 ( a ) に示すように、第 2 の導電膜 1 5 をパターンニングすることによりメモリセル領域 A の素子分離絶縁膜 2 の上方に複数のキャパシタ上部電極 1 5 a を間隔をおいて形成する。続いて、強誘電体膜 1 4 をパターンニングし、キャパシタ上部電極 1 5 a の下にキャパシタ誘電体膜 1 4 a を形成する。キャパシタ誘電体膜 1 4 a は、キャパシタ上部電極 1 5 a の直下だけでなくその周辺にも残される。

## 【 0 0 5 1 】

この後に、図 3 ( b ) に示すように、キャパシタ上部電極 1 5 a、キャパシタ誘電体膜 1 4 a 及び第 1 の導電膜 1 3 の上にキャパシタ保護絶縁膜 1 6 としてアルミナ膜をスパッタにより約 2 0 ~ 5 0 n m 程度の厚さに形成する。なお、キャパシタ保護絶縁膜 1 6 としては、アルミナ膜の他、P Z T、窒化シリコン膜、又は窒化酸化シリコン膜などを用いてもよい。

## 【 0 0 5 2 】

続いて、図 4 に示すように、レジストマスク ( 不図示 ) を用いてキャパシタ保護絶縁膜 1 6、第 1 の導電膜 1 3 及び密着層 1 2 をパターンニングすることにより、複数のキャパシタ上部電極 1 5 a の下であってワード線 ( ゲート電極 ) の延在方向に伸びるストライプ形状にする。これにより、第 1 の導電膜 1 3 よりなるキャパシタ下部電極 1 3 a が形成される。なお、密着層 1 2 もキャパシタ下部電極

1 3 a の一部と考えるもよい。

【 0 0 5 3 】

1 つのキャパシタ上部電極 1 5 a とその下のキャパシタ誘電体膜 1 4 a とキャパシタ下部電極 1 3 a により、1 つの強誘電体キャパシタ Q が構成される。

【 0 0 5 4 】

次に、図 5 に示す構造を形成するまでの工程を説明する。

【 0 0 5 5 】

まず、キャパシタ保護絶縁膜 1 6、第 1 層間絶縁膜 1 1 及び強誘電体キャパシタ Q の上に、第 2 層間絶縁膜 1 7 として酸化シリコン膜を約 1  $\mu$  m の厚さに形成する。この酸化シリコン膜は、TEOS を用いて CVD 法により形成される。続いて、第 2 層間絶縁膜 1 7 の上面を CMP 法により平坦化する。この例では、CMP 後の第 2 層間絶縁膜 1 7 の残り膜厚は、メモリセル領域 A の強誘電体キャパシタ Q の上で約 3 0 0 n m 程度とする。

【 0 0 5 6 】

続いて、第 2 層間絶縁膜 1 7、第 1 層間絶縁膜 1 1 及びカバー膜 1 0 をパターニングすることにより、第 1、第 2 の n 型不純物拡散領域 7 a、7 b の上にそれぞれ第 1、第 2 のコンタクトホール 1 7 a、1 7 b を形成すると同時に、第 1、第 2 の p 型不純物拡散領域 8 a、8 b の上にそれぞれ第 3、第 4 のコンタクトホール 1 7 c、1 7 d を形成する。さらに、第 2 層間絶縁膜 1 7 及びカバー膜 1 0 をパターニングすることにより、下部電極 1 3 a のうち上部電極 1 5 a からはみ出した領域の上に第 5 のコンタクトホール 1 7 e を形成する。

【 0 0 5 7 】

第 1 のコンタクトホール 1 7 a は、メモリセル領域 A における p ウェル 3 a の両側寄りに形成される n 型不純物拡散領域 7 a の上に形成される。また、第 2 のコンタクトホール 1 7 b は、p ウェル 3 a の中央において 2 つのゲート電極 5 a、5 b の間に挟まれる第 2 の n 型不純物拡散領域 7 b の上に形成される。

【 0 0 5 8 】

続いて、第 1 ～第 5 のコンタクトホール 1 7 a ～1 7 e 内と第 2 層間絶縁膜 1 7 上に、膜厚 2 0 n m のチタン (Ti) 膜と膜厚 5 0 n m の窒化チタン (TiN) 膜

をスパッタにより順に形成し、さらにTiN 膜の上にタングステン(W) 膜をCVD 方により形成する。W膜は第1～第5のコンタクトホール17a～17e内を完全に埋め込む厚さに形成される。

## 【0059】

さらに、Ti膜、TiN 膜及びW膜をCMP法により研磨して第2の層間絶縁膜17の上面から除去する。これにより、第1～第5のコンタクトホール17a～17ed内に残されたTi膜、TiN 膜及びW膜をそれぞれ第1～第5の導電性プラグ18a～18eとして使用する。

## 【0060】

次に、図6に示す構造を形成するまでの工程を説明する。

## 【0061】

まず、第1～第5の導電性プラグ18a～18eと第2層間絶縁膜17の上に窒化シリコンよりなる酸化防止膜（不図示）を形成する。

## 【0062】

次に、酸化防止膜と第2層間絶縁膜17をパターニングすることにより、キャパシタ上部電極15aの上に第6のコンタクトホール19aを形成する。

## 【0063】

続いて、酸素雰囲気中で約500～600℃、60分間のアニールによってキャパシタ誘電体膜14aを構成する強誘電体膜14の結晶性を回復させる。この場合、第1～第5の導電性プラグ18a～18eを構成するタングステンの酸化は酸化防止膜によって防止される。その酸化防止膜は第6のコンタクトホール19aを形成した後にエッチバックによって除去される。

## 【0064】

その後に、第2層間絶縁膜17上と第1～第5の導電性プラグ18a～18e上と第6のコンタクトホール19a内に金属膜を形成する。金属膜として、第2層間絶縁膜17上で例えば膜厚150nmの窒化チタン(TiN) 膜と膜厚500nmのアルミニウム膜と膜厚5nmのTi膜と膜厚100nmのTiN 膜を順に形成する。

## 【0065】



続いて、金属膜をフォトリソグラフィ法によりパターニングすることによって、第1～第4のアルミニウム配線20a～20dと導電性パッド20eを形成する。

## 【0066】

メモリセル領域A内の第1のアルミニウム配線20aは、第1の導電性プラグ18aの上から第6のコンタクトホール19a内に延在してキャパシタ上部電極15aと第1の導電性プラグ18aを電氣的に接続する。これにより、キャパシタ上部電極15aは、第1のアルミニウム配線20aと第1の導電性プラグ18aを介して第1のn型不純物拡散領域7aに電氣的に接続される。また、メモリセル領域A内の第2のアルミニウム配線20bは、第5のコンタクトホール17e内の第5の導電性プラグ18eを通してキャパシタ下部電極13aに接続される。

## 【0067】

第3、第4のアルミニウム配線20c、20dは、それぞれ周辺回路領域Bの第3、第4の導電性プラグ18c、18dを介してp型不純物拡散領域8a、8bに電氣的に接続される。

## 【0068】

メモリセル領域A内の導電性パッド20eは、第2の導電性プラグ18bの上に島状に形成され、さらにその上方に形成されるビット線（不図示）に電氣的に接続される。導電性パッド20eと第2の導電性プラグ18bは、ビット線と第2のn型不純物拡散領域7bを電氣的に接続するために形成される。

## 【0069】

第1～第4の配線20a～20d及び導電性プラグ20eを形成した後に、さらに第3の層間絶縁膜を形成し、導電性プラグを形成し、さらに第3の層間絶縁膜の上にビット線などを形成するが、その詳細は省略する。

## 【0070】

上記した強誘電体キャパシタQは、密着層12、下部電極13a、誘電体層14a及び上部電極15aの各層の改善により従来よりも優れたキャパシタ特性を有している。そこで、その詳細を以下に説明する。

## 【 0 0 7 1 】

まず、半導体チップ内で、強誘電体キャパシタQとMOSトランジスタ $T_1$ ， $T_2$  から構成されるメモリセルの特性のバラツキを抑えることを目的として、強誘電体膜14を構成するPZT結晶の配向方位の不均一性を小さくことと、下部電極13aを構成するPt結晶の配向方位の不均一性を小さくすることについて説明する。

## 【 0 0 7 2 】

Pt下部電極13aの下に密着層12の表面粗さがPt膜の配向性に与える影響を調査するために、複数枚のシリコン基板上に100nmの厚さの $SiO_2$ 膜を形成し、さらに、各 $SiO_2$ 膜上にそれぞれ種類の異なる膜を形成した。ここでは、種類の異なる膜として、酸化チタン( $TiO_2$ )膜と酸化プラチナ(PtO)膜とアルミナ( $Al_2O_3$ )膜のいずれかを $SiO_2$ 膜上に形成した。

## 【 0 0 7 3 】

そして、シリコン基板、 $SiO_2$ 膜、 $Al_2O_3$ 膜の積層構造を第1の試料とした。また、シリコン基板、 $SiO_2$ 膜、PtO膜の積層構造を第2の試料とした。さらに、シリコン基板、 $SiO_2$ 膜、 $TiO_2$ 膜の積層構造を第3の試料とした。

## 【 0 0 7 4 】

第1の試料の $Al_2O_3$ 膜は、減圧チャンバ内で $SiO_2$ 膜上にスパッタにより形成された。スパッタの条件として、バイアスパワーを2.0kW、アルゴンガス流量を20sccm、基板温度を室温、スパッタ時間を40秒に設定した。スパッタに用いられるターゲット材料は $Al_2O_3$ である。

## 【 0 0 7 5 】

第2の試料のPtO膜は、減圧チャンバ内で $SiO_2$ 膜上にスパッタにより形成された。スパッタの条件として、バイアスパワーを1.0kW、アルゴンガス流量を36sccm、酸素ガス流量を144sccm、基板温度を350℃、スパッタ時間を19秒に設定した。スパッタに用いられるターゲット材料はプラチナである。

## 【 0 0 7 6 】

第3の試料の $TiO_2$ 膜は、減圧チャンバ内で $SiO_2$ 膜上にスパッタにより形成された厚さ20nmのTi膜を急速加熱処理により酸化することにより形成された。Ti

のスパッタの条件として、バイアスパワーを2.59 kW、アルゴンガス流量を50 sccm、基板温度を室温、スパッタ時間を11秒に設定した。スパッタに用いられるターゲット材料はチタンである。また、急速加熱処理の条件として、基板温度を700℃、アルゴンガス流量を2リットル/min.、酸素ガス流量を20 cc/min.、処理時間を60秒に設定した。

## 【0077】

そして、第1の試料の $\text{Al}_2\text{O}_3$ 膜、第2の試料のPtO膜、第3の試料の $\text{TiO}_2$ 膜のそれぞれの上に、真空チャンバ内で同じ条件のスパッタによりプラチナ(Pt)膜を150 nmの厚さに形成した。そのスパッタ条件として、バイアスパワーを1 kW、アルゴンガス流量を116 sccm、基板温度を100℃、スパッタ時間を84秒に設定した。

## 【0078】

その後に、第1～第3の試料の各々のPt膜について、(111)配向のロッキングカーブを取得し、その半値幅を求めた。その測定は、4軸ゴニオX線測定装置を用いて $2\theta/\theta$ 法により測定する。即ち、Pt膜の(111)配向を示す強度のピークが最大となる $2\theta = 39.8^\circ$ 付近に $2\theta/\theta$ 角を固定してウェハをありながら(111)配向強度のピークを測定する $\chi$ スキャン法を採用した。これにより、プラチナ膜の $\chi$ スキャンのあり角度 $\chi$ と(111)配向強度の関係は図7に示すような結果となった。

## 【0079】

図7によれば、第1～第3の試料の層構造について、プラチナ膜の(111)配向強度のロッキングカーブの半値幅を小さい順に挙げるとPt/ $\text{Al}_2\text{O}_3$ 、Pt/PtO、Pt/ $\text{TiO}_2$ となる。

## 【0080】

また、第1～第3の試料にプラチナ膜を形成する前に、 $\text{Al}_2\text{O}_3$ 膜、PtO膜、 $\text{TiO}_2$ 膜のそれぞれの表面の粗さRmsを測定したところ、図8に示すような結果が得られ、 $\text{Al}_2\text{O}_3$ 膜のRmsは0.28、PtO膜のRmsは0.43、 $\text{TiO}_2$ 膜のRmsは1.8となった。

## 【0081】

そこで、第1～第3の試料の $\text{Al}_2\text{O}_3$ 、PtO、 $\text{TiO}_x$ のそれぞれをPt膜と $\text{SiO}_2$ 膜を密着させるための密着層とし、Pt膜の(1 1 1)配向のロックンクカーブの半値幅と密着層のRmsとの関係をプロットしたところ、図9に示すような結果が得られた。図9によれば、Pt膜の(1 1 1)配向のロックンクカーブの半値幅と密着層表面のRmsとの間に直線的な相関関係があり、Pt膜の(1 1 1)配向性は密着層の表面粗さに大きく依存し、表面粗さRmsが小さくなるほどPt膜の(1 1 1)配向方位の基板面垂直方向からのずれが小さくなることがわかる。

#### 【0082】

密着層上のPtの自己配向の面方位は(1 1 1)である。従って、以上のような実験結果により、プラチナの自己配向性を阻害する要因として下地の表面粗さがあり、下地である密着層の平坦性が良いほどプラチナ膜の自己配向が促進される。即ち、密着層の粗さが小さいほどプラチナ膜の自己配向が優勢となる。

#### 【0083】

なお、同じ材料の密着層であってもその形成条件の相違によってその表面の粗さRmsは異なる。

#### 【0084】

次に、第1、第2及び第3の試料の各々のPt膜上にPZT膜をスパッタにより200nmの厚さに形成し、急速加熱処理装置で各試料のPZT膜に一回目の熱処理を行い、各試料のPZT膜上に酸化イリジウムを上部電極として形成し、その後、各試料に急速加熱処理装置で二回目の熱処理をした。その後、第1、第2、第3の試料のそれぞれのPZT膜の(1 1 1)配向の特性を評価した。

#### 【0085】

PZT膜を真空チャンバ内で形成する条件として、例えば、スパッタパワーを1kW、チャンバ内に導入するアルゴンの流量を20sccm、基板温度を50℃、ターゲットとしてPZT、膜形成時間を315秒とする。また、一回目の熱処理条件として、酸素ガスが流量50cc/min.、アルゴンガスが流量1.95リットル/min.で導入された酸素雰囲気中で基板温度585℃、加熱時間90秒間に設定する。

#### 【0086】

また、酸化イリジウム膜をスパッタにより形成する条件として、例えばスパッタ装置のチャンバ内に入れたシリコン基板 1 の温度を約 2 0 °C とし、チャンバ内に導入するアルゴンガスの流量を約 1 0 0 sccm、酸素 (O<sub>2</sub>) ガスの流量を 5 6 sccm とし、ターゲットとしてイリジウム (Ir) を用い、ターゲット・基板間に印加するパワーを約 2 . 0 kW とする。

## 【 0 0 8 7 】

さらに、二回目の熱処理条件として、酸素ガスが流量 2 0 cc/min.、アルゴンガスが流量 2 リットル/min. で導入された酸素雰囲気中で基板温度 7 2 5 °C、加熱時間 2 0 秒間に設定する。

## 【 0 0 8 8 】

第 1、第 2、第 3 の試料の P Z T 膜のそれぞれの (1 1 1) 配向の特性を評価するために、各 P Z T 膜の (1 1 1) 配向のロックンクカーブを測定し、その半値幅を求めた。その測定は、4 軸ゴニオ X 線測定装置を用いて 2  $\theta$  /  $\theta$  法により測定する。即ち、P Z T 膜の (1 1 1) 配向を示す強度のピークが最大となる 2  $\theta$  = 3 1 ° 付近に 2  $\theta$  /  $\theta$  角を固定してウェハをあおりながら (1 1 1) 配向強度のピークを測定する  $\chi$  スキャン法を採用した。これにより、図 1 0 に示すようなプラチナ膜の  $\chi$  スキャンのあおり角度  $\chi$  と (1 1 1) 配向強度の関係が得られた。

## 【 0 0 8 9 】

図 1 0 によれば、第 1 ~ 第 3 の試料の P Z T 膜の下層構造について、P Z T 膜の (1 1 1) 配向強度のロックンクカーブの半値幅を小さくする順に挙げると Pt/Al<sub>2</sub>O<sub>3</sub>、Pt/PtO、Pt/TiO<sub>2</sub> となる。なお、あおり角度  $\chi$  の半値幅が小さいほど (1 1 1) 配向が良くなる。

## 【 0 0 9 0 】

また、第 1 ~ 第 3 の試料のそれぞれの Al<sub>2</sub>O<sub>3</sub> 膜、PtO 膜、TiO<sub>2</sub> 膜を密着層として、図 8 の結果に基づき、密着層の表面粗さと P Z T 膜の (1 1 1) 配向のロックンクカーブの半値幅との関係をプロットしたところ図 1 1 に示すような結果が得られた。

## 【 0 0 9 1 】

図 1 1 によれば、P Z T 膜の ( 1 1 1 ) 配向のロッキングカーブの半値幅と密着層表面の  $R_{ms}$  との間に直線的な相関関係があり、P Z T 膜の ( 1 1 1 ) 配向性は密着層の表面粗さに大きく依存し、表面粗さ  $R_{ms}$  が小さくなるほど P Z T 膜の ( 1 1 1 ) 配向方位の基板面垂直方向からのずれが小さくなることがわかる。

## 【 0 0 9 2 】

ところで、上記した実施形態では、強誘電体キャパシタを構成する強誘電体材料として P Z T、或いは Ca、Sr、La の少なくとも 1 つをドーピングした P Z T、または Bi 層状構造化合物などを例に挙げている。本願発明者は、Ca、Sr、La 以外の元素を P Z T 膜にドーピングして強誘電体特性を向上させることを試みた。そして、Ca、Sr、La 以外の元素として、上部電極を構成するイリジウム (Ir) を用いた。

## 【 0 0 9 3 】

そして、Ir が P Z T の結晶格子中にドーピングされていることを確認する方法として異常分散法を用いた。

## 【 0 0 9 4 】

異常分散は、X 線の振動数が原子の吸収端の振動数に近い状態で共鳴効果により屈折率や散乱能が大きく変化する現象である。つまり、ある物質の X 線回折強度を測定する際に、その物質の構成元素の吸収端に近いエネルギーを物質に照射すると、X 線回折強度が大きく変化するようになる。この現象を利用して、特定ピークの回折強度のエネルギー依存性を調べれば、そのピークの構成元素を明らかにすることができる。

## 【 0 0 9 5 】

今回、Ir の P Z T 膜中へのドーピングを調べるために、Ir の L III 吸収端近傍のエネルギーを利用した。なお、L III は、Ir 原子における電子軌道である。

## 【 0 0 9 6 】

サンプルは、Ir ドーピング P Z T を誘電体膜とする第 1 のキャパシタと、Ir ノンドーピング P Z T を誘電体膜とする第 2 のキャパシタを使用した。第 1 及び第 2 のキャパシタは、それぞれ Pt よりなる下部電極と  $IrO_2$  よりなる上部電極を有している。

## 【 0 0 9 7 】

まず、第 1 及び第 2 のキャパシタの上部電極を構成する  $\text{IrO}_2$  膜中の Ir が異常分散測定に影響を与えないかどうかの調査を行った。

#### 【 0 0 9 8 】

図 1 2 に下部電極の ( 1 1 1 ) 配向強度のピークの X 線入射エネルギー依存性を示す。X 線として、Ir の L III 吸収端近傍の波長を用いた。図 1 2 では、理解を容易にするために、第 1 のキャパシタの下部電極を構成する Pt の ( 1 1 1 ) 積分強度を、第 2 のキャパシタの下部電極を構成する Pt の ( 1 1 1 ) 積分強度で規格化した値を用いている。

#### 【 0 0 9 9 】

図 1 2 によれば、強度比の急激な低下が全ての X 線入射エネルギー領域で観られないので、上部電極の  $\text{IrO}_2$  中の Ir による吸収効果は観られず、異常分散測定に影響が無いことがわかる。

#### 【 0 1 0 0 】

次に、入射 X 線エネルギーを Ir の L III 吸収端近傍で変化させながら P Z T 膜の ( 1 1 1 ) 配向強度のピークを取得し、その積分強度を入射エネルギーに対してプロットした結果を図 1 3 に示す。図 1 3 では、理解を容易にするために、第 1 のキャパシタの P Z T ( 1 1 1 ) 積分強度を、第 2 のキャパシタの P Z T の ( 1 1 1 ) 積分強度で規格化した値を用いている。

#### 【 0 1 0 1 】

図 1 3 によれば、Ir の L III 吸収端エネルギー 1 1 . 2 1 eV で強度比の低下が大きくなっている。これは、Ir ドープト P Z T の結晶格子中に Ir が含まれていることを明確に示しており、Ir ドープト P Z T は、Ir が P Z T 膜中に単に拡散しているのではなく、Ir を P Z T 結晶構成元素として含んでいることがわかる。

#### 【 0 1 0 2 】

Ir を P Z T 格子中に含ませる方法は、例えば、 $\text{IrO}_x$  又は Ir からなる導電膜 ( 上部電極 ) を P Z T 膜上に形成した後にアニールにより導電膜内の Ir を P Z T 膜中に拡散させる方法、Ir を添加した P Z T をターゲットに用いてスパッタリングにより P Z T を形成する方法、Ir 元素を含むゾルゲル溶液を用いてスピノン法により P Z T を形成する方法、Ir 元素を含む C O D 溶液を用いてスピノン法に

より P Z T を形成する方法、Ir が含まれる原料を用いて M O C V D 法により P Z T を形成する方法、などがある。

## 【 0 1 0 3 】

M O C V D 法により Ir ドープト P Z T 膜を形成する場合には、例えば次のような液体状の有機ソースを用いる。

## 【 0 1 0 4 】

鉛(Pb)供給用の有機ソースとして、 $\text{Pb}(\text{DPM})_2$  ( $\text{Pb}(\text{C}_{11}\text{H}_{19}\text{O}_2)_2$ ) を T H F (TetraHydroFuran :  $\text{C}_4\text{H}_8\text{O}$ ) 液に溶かした材料が用いられる。また、ジルコニウム(Zr) 供給用の有機ソースとして、 $\text{Zr}(\text{DMHD})_4$  ( $\text{Zr}((\text{C}_9\text{H}_{15}\text{O}_2)_4)$ ) を T H F 液に溶かした材料が用いられる。チタン(Ti) 供給用の有機ソースとして、 $\text{Ti}(\text{O}-i\text{Pr})_2(\text{DPM})_2$  ( $\text{Ti}(\text{C}_3\text{H}_7\text{O})_2(\text{C}_{11}\text{H}_{19}\text{O}_2)_2$ ) を T H F 液に溶かした材料が用いられる。イリジウム(Ir)供給用の有機ソースとして、 $\text{Ir}(\text{DMP})_3$  ( $\text{Ir}(\text{C}_{11}\text{H}_{19}\text{O}_2)_3$ ) を T H F 液に溶かした材料が用いられる。

## 【 0 1 0 5 】

それらの有機ソースは、それぞれ、昇華温度 1 9 0 °C の気化器によって気化されて酸素( $\text{O}_2$ ) ガスとともに強誘電体膜成長雰囲気内に導入される。酸素ガス分圧を制御するために酸素ガスと不活性ガス、例えばアルゴン又は窒素を混合することが好ましい。不活性ガスは有機ソースのキャリアガスとして用いられ、そのガス流量は例えば 3 0 0 sccm である。また、基板温度は 5 4 0 °C、成長レートは 2 0 n m / 分である。さらに、強誘電体膜成長雰囲気を画定するチャンバ内の圧力は 5 Torr である。

## 【 0 1 0 6 】

ところで、強誘電体キャパシタの誘電体膜を構成する P Z T 系結晶、Bi 層状構造化合物の結晶は  $\text{A B O}_3$  ペロブスカイト構造となる。そして、Ir がドープされた  $\text{A B O}_3$  ペロブスカイト構造は図 1 4 に示す A サイト原子の一部と B サイト原子の少なくとも一方に Ir が含まれる構造となる。なお、図 1 4 において、Ir 以外の A サイト原子は、Bi、Pb、Ba、Sr、Ca、Na、K 又は希土類元素のいずれかであり、また、Ir 以外の B サイト原子は、Ti、Zr、Nb、Ta、W、Mn、Fe、Co、Cr のいずれかである。1 単位のペロブスカイト構造には複数の A 原子が存在しているがそれ



らは全て同一とは限らず、B原子も同様である。

【0107】

次に、そのようなIrドープトPZT膜が強誘電体キャパシタ特性にどのような影響を与えるかを実験した。

【0108】

まず、図6に示した構造を有する試料A、試料B、試料Cを用意する。試料A、試料B、試料Cは、強誘電体キャパシタQの層構造を除いて同じ構造とする。

【0109】

試料Aの密着層12として、表面粗さRmsが0.28nmの $\text{Al}_2\text{O}_3$ 膜を適用した。そして、密着層12の上に厚さ150nmのPtからなる第1の導電膜13を形成し、さらに、第1の導電膜13上に強誘電体膜14としてPZT膜をスパッタにより200nmの厚さに形成し、PZT膜に一回目の急速加熱処理を行い、ついでPZT膜上に $\text{IrO}_x$ を第2の導電層15として形成し、その後に、一回目よりも高温となる条件でPZT膜に二回目の急速加熱処理を施した。

【0110】

試料Bの密着層12として表面粗さRmsが1.8nmの $\text{TiO}_x$ 膜を適用した。そして、密着層12の上に厚さ150nmのPtからなる第1の導電膜13を形成し、さらに、第1の導電膜13上に強誘電体膜14としてPZT膜をスパッタにより200nmの厚さに形成し、PZT膜に一回目の急速加熱処理を行い、ついでPZT膜上に $\text{IrO}_x$ を第2の導電層15として形成し、その後に、一回目よりも高温となる条件でPZT膜に二回目の急速加熱処理を施した。

【0111】

試料Cの密着層12として表面粗さRmsが0.76nmのTi膜を適用した。そして、密着層12の上に厚さ150nmのPtからなる第1の導電膜13を形成し、さらに、第1の導電膜13上に強誘電体膜14としてPZT膜をスパッタにより200nmの厚さに形成し、ついでPZT膜に急速加熱処理を行った後に、PZT膜上に $\text{IrO}_x$ を第2の導電層15として形成した。なお、試料Cについては、PZT膜へのIr元素の拡散を防止するために、第2の導電層15を形成した後に、二回目の急速加熱処理は施さなかった。

## 【 0 1 1 2 】

なお、試料 A、試料 B、試料 C の各々の第 1 の導電膜 1 3 である Pt 膜の形成条件は、上記した第 1 の試料における Pt 膜の形成条件と同じにした。また、試料 A、試料 B、試料 C の各々の強誘電体 1 4 である P Z T 膜の形成条件は、第 1 の試料における P Z T 膜の形成条件と同じにした。

## 【 0 1 1 3 】

試料 A、試料 B、試料 C についての違いを表 1 に示す。

## 【 0 1 1 4 】

【表 1】

試料の説明

	密着層表面粗さ	PZT 中への Ir 拡散	PZT(111) 配向の垂直方向からのずれ
試料 A	小さい	有り	2.9 度
試料 B	大きい	有り	4.5 度
試料 C	小さい	無し	2.3 度

## 【 0 1 1 5 】

次に、試料 A、試料 B、試料 C のそれぞれの密着層、Pt 膜、P Z T 膜及び上部電極層を、図 3 (a), (b)、図 4 と同じような工程によって強誘電体キャパシタ Q を形成した。その後に、図 5、図 6 に示したように、それらの強誘電体キャパシタ Q を層間絶縁膜 1 1 で覆い、さらに、層間絶縁膜 1 1 にコンタクトホール 1 7 e, 1 9 a を形成し、層間絶縁膜 1 1 上にコンタクトホール 1 7 e, 1 9 a を通して強誘電体キャパシタ Q の上部電極 1 5 a と下部電極 1 3 a に接続されるアルミニウム配線 2 0 a, 2 0 b を形成した。

## 【 0 1 1 6 】

強誘電体キャパシタは、各試料において、層間絶縁膜 1 1 上に  $1.0 \times 1.5 \mu\text{m}^2$  の平面形状であって 1 6 5 6 個形成された。

## 【 0 1 1 7 】

そのような強誘電体キャパシタ Q を有する試料 A、試料 B、試料 C について、それぞれの強誘電体キャパシタ Q の分極スイッチ  $Q_{sw}$  を測定したところ、図 1 5 に示すような特性が得られた。

## 【 0 1 1 8 】

図 1 5 によれば、試料 A、試料 B において Ir が拡散された P Z T 膜を有するキャパシタの  $Q_{sw}$  は、試料 C において Ir が拡散されていない P Z T 膜を有するキャパシタの  $Q_{sw}$  に比べて  $5 \mu C / c m^2$  程度高くなった。これは、P Z T 膜中に Ir が存在して P Z T 膜中の格子欠陥を補填しているためと考えられる。Ir ノンドープト P Z T 膜と Ir ドープト P Z T 膜をそれぞれ強誘電体キャパシタの誘電体層として適用した場合の電圧と残留分極との関係の違いを調べたところ、図 1 6 に示すような結果が得られた。

## 【 0 1 1 9 】

また、図 1 5 において、Ir が存在している P Z T 膜を有する試料 A 及び試料 B をそれぞれ比較すると、試料 A の  $Q_{sw}$  が試料 B の  $Q_{sw}$  よりも  $1 \sim 2 \mu C / c m^2$  程度高くなっている。これは、先に述べたように、密着層 1 2 の表面粗さについて試料 A の方が試料 B よりも小さいので、密着層の上の Pt 膜及び P Z T 膜の結晶方位がばらつきが抑えられてキャパシタの性能を若干高いレベルに上げているからと考えられる。

## 【 0 1 2 0 】

次に、試料 A、試料 B、試料 C の各々について、M O S トランジスタと強誘電体キャパシタをそれぞれ 2 つずつ用いて 1 ビットとして作用させる方式、即ち 2 T 2 C 方式の 2 5 6 ビット (bit) の F e R A M チップを作製し、F e R A M チップをパッケージに組み立てた。

## 【 0 1 2 1 】

そして、それらの F e R A M に室温でデータを書き込んだ後に、 $260^{\circ}C$  のベークを行い、その後に、ベーク前に書き込んだデータを読み出すことができるかどうかの試験を行ったところ、図 1 7 に示すような結果が得られた。

## 【 0 1 2 2 】

図 1 7 によれば、試料 B の 2 5 6 ビットのうちの不良ビット数が試料 A、C に比べて多くなった。即ち、試料 A、C に比べて P Z T 膜の結晶方位がばらついている試料 B では不良ビット数が多いことがわかる。これは、試料 B の強誘電体キャパシタの下部電極の下に密着層の上面の粗さが、試料 A、C のそれに比べて大

きいからである。

【 0 1 2 3 】

そこで、結晶方位と不良ビット数の関係を調べるために、試料 A, B, C のそれぞれについて、P Z T の ( 1 1 1 ) 配向結晶粒の配向方位の傾きと読出ができなかった不良ビット数の関係を調べたところ、図 1 8 のような結果が得られた。図 1 8 の横軸は、P Z T の ( 1 1 1 ) 配向結晶粒の傾きは、基板の上面に対する垂直方向からの傾き (ズレ) の大きさを示し、また、縦軸は不良ビット数を示している。

【 0 1 2 4 】

図 1 8 からわかるように P Z T ( 1 1 1 ) 配向結晶粒の基板面に対して垂直方向からの傾きが大きくなると、ある傾き、3. 5° から急激に不良ビット数が多くなっていることがわかる。

【 0 1 2 5 】

また、同様な試験をベーク温度を 2 3 0 ° C に変更した際の P Z T ( 1 1 1 ) 配向方位の傾きと良品率との関係は図 1 9 に示すような結果になった。ここで、良品は、不良ビット数が 0 であることを意味する。

【 0 1 2 6 】

図 1 9 からわかるように、P Z T ( 1 1 1 ) 配向結晶粒の配向方位の傾きが大きくなると、良品率が下がっていくことがわかる。図 1 8 と図 1 9 によれば、デバイス性能を向上させるには、P Z T ( 1 1 1 ) 配向結晶粒の配向方位の基板表面の垂直方向から傾きを 3. 5° 以下にする必要がある。

【 0 1 2 7 】

これは、基板表面の垂直方向に対する P Z T ( 1 1 1 ) 配向結晶粒の配向方位の傾きを小さくすることにより、2 5 6 ビットの各ビットのキャパシタ性能を向上し且つキャパシタ性能のバラツキを抑制することになり、不良ビット数の減少と良品率の向上が可能になる。

【 0 1 2 8 】

また、上記した図 1 1 によれば、基板表面の垂直方向に対する P Z T ( 1 1 1 ) 配向結晶粒の配向方位の傾きを 3. 5° 以下にするためには、密着層の表面粗

さが 0.79 nm 以下でなければならないことが近似曲線から見積もられる。

【0129】

また、上記した図 9 によれば、密着層の粗さ  $R_{ms}$  が 0.79 nm 以下になるときは、Pt (111) 配向結晶粒の傾きが基板表面の垂直方向に対して  $2.3^\circ$  以下になることが近似曲線から見積もれる。

【0130】

次に、試料 A、試料 B、試料 C の各々について、MOS トランジスタと強誘電体キャパシタをそれぞれ 1 つずつ用いて 1 ビットとして作用させる方式、即ち 1T1C 方式の 256 bit の FeRAM をウェハに作製した。

【0131】

1T1C 方式は、2T2C 方式に比べてチップサイズを小さくできる利点がある反面、2T2C 方式よりもキャパシタに要求されるキャパシタ性能が厳しくなる。

【0132】

そこで、試料 A、試料 B、試料 C の各々について、ウェハ状態でデータを書き込んで  $230^\circ\text{C}$  でバークした後にデータを読み出す試験を行ったところ、図 20 に示す結果が得られた。図 20 によれば良品率は試料 A のみで良品が取得できたことがわかる。試料 B が良品とならなかった理由は、基板表面に対する垂直方向からの PZT (111) 配向結晶粒の配向方位の傾きが大きくなっていることが原因であると考えられる。

【0133】

これに対して、試料 C で良品が取得できなかった理由は、各ビットのバラツキは小さいが PZT 格子中に Ir が拡散していないことにより、図 15 に示したように、 $Q_{sw}$  が低くて 1T1C 方式で要求されるキャパシタ性能を満たせなくなることが原因であると考えられる。

【0134】

以上のことから、FeRAM を大容量化し且つ微細化するためには、表 2 に示すように、PZT (111) 配向方位の基板面垂直方向からのズレを小さくすること、および PZT 格子中に Ir が含まれることを両立させることが最適であるこ

とがわかる。

【 0 1 3 5 】

【表 2】

各試料の影響

	cellばらつき	キャパシタ性能	総合
試料A	○	○	○
試料B	×	○	×
試料C	○	△	△

○ … 良い  
△ … やや良い  
× … 悪い

【 0 1 3 6 】

なお、図 1 ～ 図 6 に示した半導体装置の製造工程では、密着層 1 2 の上に形成される第 1 の導電膜 1 3 としてプラチナを形成しているが、プラチナの代わりにイリジウム、チタン等、自己配向性を有する材料を用いてもよい。

(第 2 の実施の形態)

本実施形態では、表面粗さが小さい密着層の上に強誘電体膜を MOCVD 法により形成することについて説明する。

【 0 1 3 7 】

本実施形態においても、第 1 実施形態と同様に、図 1 ～ 図 6 に説明した工程に沿って F e R A M を形成する。

【 0 1 3 8 】

即ち、図 1 (a) に示すように第 1 層間絶縁膜 1 1 上に、表面粗さ 0. 7 9 n m 以下の密着層 1 2 としてアルミナ層を 1 0 n m の厚さに形成する。アルミナ層をスパッタにより形成する条件として、チャンバ内のシリコン基板 1 の温度を室温とし、チャンバ内に導入するアルゴンガスの流量を 2 0 s c c m とし、ターゲットとしてアルミナを用い、ターゲット・基板間に印加するパワーを 2 k W とする。

【 0 1 3 9 】

続いて、図 1 (b) に示すように、密着層 1 2 の上に第 1 の導電膜 1 3 を形成する。但し、本実施形態では、第 1 の導電膜として、スパッタによりチタン膜とイリジウム膜を形成する。

【 0 1 4 0 】

チタン (Ti) 膜は、1 0 n m の厚さに形成される。Ti 膜をスパッタにより形成する条件として、例えばチャンバ内に入れたシリコン基板 1 の温度を約 5 0 0 °C とし、チャンバ内に導入するアルゴンガス圧を 0 . 1 5 Pa とし、ターゲットとしてチタンを用い、ターゲット・基板間に印加するパワーを約 2 . 6 kW とする。

## 【 0 1 4 1 】

イリジウム (Ir) 膜は、5 0 ~ 4 0 0 n m、例えば 1 5 0 n m の厚さに形成される。Ir 膜をスパッタにより形成する条件として、例えばチャンバ内に入れたシリコン基板 1 の温度を約 5 0 0 °C とし、チャンバ内に導入するアルゴンガスの流量を約 2 0 0 sccm とし、ターゲットとしてイリジウムを用い、ターゲット・基板間に印加するパワーを約 0 . 3 kW とする。

## 【 0 1 4 2 】

この後に、図 2 (a) に示すように、第 1 の導電膜 1 3 の上に強誘電体膜 1 4 として P Z T 膜を 1 2 0 n m の厚さに形成する。但し、本実施形態では、次のような条件で M O C V D 法により P Z T 膜を形成する。

## 【 0 1 4 3 】

チャンバ (不図示) 内に置かれたシリコン基板 1 上での P Z T 膜の成長温度を 6 2 0 °C とする。そして、P Z T 膜を構成する元素のうち、Pb の原料として Pb (DPM)<sub>2</sub>、Zr の原料として Zr (dmhd)<sub>4</sub>、Ti の原料として、Ti (O-iPr)<sub>2</sub> (DPM)<sub>2</sub> が用いられる。それらの原料は、T H F にモル比 3 % の濃度で溶解させて液状にされた状態で気化器に搬送され、気化器では例えば 2 6 0 °C の温度で T H F とともに気化され、酸素と混合した後にシャワーヘッドを通してチャンバ内の第 1 の導電膜 1 3 上に吹き付けられる。

## 【 0 1 4 4 】

チャンバ内に導入される原料ガスの流量は、成長初期の 2 0 秒間では Pb 原料ガスが 0 . 3 6 5 ml/min.、Zr 原料ガスが 0 . 1 9 6 ml/min.、Ti 原料ガスが 0 . 1 7 5 ml/min. に設定され、その後の 5 0 5 秒間では Pb 原料ガスが 0 . 3 7 6 ml/min.、Zr 原料ガスが 0 . 2 7 7 ml/min.、Ti 原料ガスが 0 . 2 1 4 ml/min. に設定される。

## 【 0 1 4 5 】

そのような条件により形成された P Z T 膜の厚さは 1 2 0 n m であり、その組成は  $Pb/(Zr + Ti) = 1.17$ 、 $Zr/(Zr + Ti) = 0.43$  であった。

【0 1 4 6】

MOCVD 法により形成された P Z T 膜は、結晶化されているので、結晶化のためのアニールは省略される。

【0 1 4 7】

続いて、図 2 (b) に示すように、強誘電体膜 1 4 である P Z T 膜の上に第 2 の導電膜 1 5 として酸化イリジウム膜をスパッタにより 2 0 0 n m の厚さに形成する。酸化イリジウム膜の形成条件は第 1 実施形態と同様に設定される。

【0 1 4 8】

次に、図 3、図 4 に示した工程に沿って第 2 の導電膜 1 5、強誘電体膜 1 4、第 1 の導電膜 1 3 及び密着層 1 2 を順次パターニングすることにより強誘電体キャパシタ Q が形成される。なお、強誘電体キャパシタ Q において、第 2 の導電膜 1 5 は上部電極 1 5 a、強誘電体膜 1 4 は誘電体膜 1 4 a、第 1 の導電膜 1 3 は下部電極 1 3 a となる。

【0 1 4 9】

その後の工程は第 1 実施形態と同じであるので省略する。

【0 1 5 0】

以上のような工程により、上面の (1 1 1) 配向強度の高い下部電極 1 3 a 上に 6 2 0 °C の高い基板温度で MOCVD 法により形成された P Z T 強誘電体膜 1 4 において、9 0 % 以上の P Z T グレインの上面の配向を (1 1 1) に揃えることができた。

【0 1 5 1】

これは、下部電極 1 3 a の配向性を良くするために、層間絶縁膜 1 1 の上に密着層 1 2 として平坦性の良いアルミナ膜を形成したので、アルミナ膜上の Ti 膜が c 軸に配向し、その上の Ir 膜が (1 1 1) に配向するようになったからである。

【0 1 5 2】

従来技術として酸化シリコン膜上に形成したイリジウム膜と、本実施形態として酸化シリコン膜上にアルミナ膜、チタン膜を介して形成したイリジウム膜との



双方について、XRDプロファイルの(222)配向強度の半値幅を調べたところ、表3に示すような結果が得られ、本実施形態に係るイリジウム膜の(111)配向が従来よりも向上したことがわかる。

【0153】

【表3】

下部電極の構造を変えた時のIr(222)のXRD半値幅

下部電極構造	半値幅
Ir / SiO <sub>2</sub>	7.2°
Ir / Ti / AlO / SiO <sub>2</sub>	2.1°

【0154】

表面平坦性の良いアルミナからなる密着層12の上にスパッタにより形成されたIr膜の配向をXRD法により測定したところ図21の実線曲線に示すようなXRDプロファイルが得られた。図21の実線曲線によれば、Ir膜に十分高い強度の(111)配向が得られていることがわかる。

【0155】

これに対して、密着層12を用いずに、SiO<sub>2</sub>よりなる層間絶縁膜11の上にスパッタによりIr膜を形成し、Ir膜の配向をXRD法により測定したところ、図21の破線曲線に示すようになり、Ir膜の(111)配向強度は極めて小さいことが判った。

【0156】

また、密着層12上に形成された強誘電体キャパシタを有するFeRAMのインプリント特性と、層間絶縁膜11上に直に形成された強誘電体キャパシタを有するFeRAMの各々のインプリント特性を調べたところ、図22に示すような結果が得られた。これにより、本実施形態のような条件のMOCVD法により形成された強誘電体キャパシタを有するFeRAMによれば、100時間経過後でも十分な読み取りマージンが維持される。

【0157】

次に、不良ビットの発生するキャパシタと発生しないキャパシタについて分析結果を説明する。

## 【0158】

まず、不良ビットが発生するキャパシタの強誘電体膜のPZT結晶の(111)配向を調べた。図23(a)は、不良ビットが発生するキャパシタを透過電子顕微鏡で見た像に基づく断面図であり、図23(b)は図23(a)の破線で示したPZT結晶が<111>方向でない領域の電子回折像である。これによれば、PZT膜の(111)配向比率は多く見積もっても約85%である。

## 【0159】

不良ビット数が発生しないキャパシタの強誘電体膜のPZT結晶の(111)配向を調べた。図24は、不良ビットが発生しないキャパシタを透過電子顕微鏡で見た像に基づく断面図であり、PZT膜中のグレインが柱状に揃っており、PZT膜の(111)配向比率はほぼ100%である。なお、第1実施形態に示したPZTよりなる強誘電体膜14の(111)配向比率は90%以上であって、ほぼ100%かそれに近い値となる。

## 【0160】

結晶方位が揃っている場合には、デバイス動作を行う数十ナノ秒の時間で強誘電体ドメインの書き込みができるが、結晶方位が異なったものが混在していると、分極反転の伝搬に時間がかかるために、その時間内で反転しないドメインが残ってしまうためにインプリントの現象が起きると考えられている。

## 【0161】

従って、デバイスとして強誘電体膜を動作させるためには、90%以上の結晶を同一方向に揃える必要がある。

## (第3の実施の形態)

第1、第2の実施形態では、上部電極と下部電極にそれぞれ上から導電性プラグを接続するいわゆるプレーナ型キャパシタについて説明した。本実施形態では、キャパシタの下部電極を下から導電性プラグに接続するいわゆるスタック型のキャパシタを有する半導体装置について説明する。

## 【0162】

図25～図30は、本発明の第3実施形態に係る半導体装置の製造工程を示す断面図である。

## 【 0 1 6 3 】

図 2 5 (a) に示す断面構造を形成するまでの工程を説明する。

## 【 0 1 6 4 】

まず、 $n$ 型又は $p$ 型のシリコン（半導体）基板 5 1 のトランジスタ形成領域の周囲にフォトリソグラフィ法により素子分離用溝を形成した後に、その中に酸化シリコン( $\text{SiO}_2$ )を埋め込んで素子分離絶縁層 5 2 を形成する。そのような構造の素子分離絶縁層 5 2 は、STI (Shallow Trench Isolation) と呼ばれる。なお、LOCOS (Local Oxidation of Silicon) 法により形成した絶縁層を素子分離絶縁層として採用してもよい。

## 【 0 1 6 5 】

続いて、メモリセル領域におけるシリコン基板 5 1 のトランジスタ形成領域に $p$ 型不純物を選択的に導入して $p$ 型ウェル 5 1 a を形成する。

## 【 0 1 6 6 】

さらに、シリコン基板 5 1 の $p$ 型ウェル 5 1 a の表面を熱酸化して、ゲート絶縁層 5 3 となるシリコン酸化層を形成する。

## 【 0 1 6 7 】

次に、シリコン基板 5 1 の上側全面に非晶質又は多結晶のシリコン層とタンゲステンシリサイド層を順次形成する。その後に、シリコン層とタンゲステンシリサイド層をフォトリソグラフィ法によりパターニングして、メモリセル領域のウェル 1 a 上にゲート電極 5 4 a, 5 4 b を形成する。それらのゲート電極 5 4 a, 5 4 b はゲート絶縁層 5 3 を介してシリコン基板 5 1 の上に形成される。

## 【 0 1 6 8 】

なお、メモリセル領域では、1つの $p$ 型ウェル 5 1 a 上には2つのゲート電極 5 4 a, 5 4 b が並列に形成され、それらのゲート電極 5 4 a, 5 4 b はワード線の一部を構成する。

## 【 0 1 6 9 】

次に、 $p$ 型ウェル 1 a のうちゲート電極 5 4 a, 5 4 b の両側に $n$ 型不純物、例えばリンをイオン注入してソース／ドレインとなる第1～第3の $n$ 型不純物拡散領域 5 5 a ～ 5 5 c を形成する。

## 【0170】

さらに、CVD法により絶縁層、例えば酸化シリコン ( $\text{SiO}_2$ ) 層をシリコン基板 51 の全面に形成した後に、その絶縁層をエッチバックしてゲート電極 54 a, 54 b の両側部分に絶縁性のサイドウォールスペーサ 56 として残す。

## 【0171】

続いて、p型ウェル 51 a において、ゲート電極 54 a, 54 b とサイドウォールスペーサ 56 をマスクに使用して、第1～第3のn型不純物拡散領域 55 a ～55 c に再びn型不純物をイオン注入することにより、第1～第3のn型不純物拡散領域 55 a ～55 c にそれぞれ不純物高濃度領域を形成する。

## 【0172】

なお、1つのp型ウェル 51 a において、2つのゲート電極 54 a, 54 b の間の第1のn型不純物拡散領域 55 a は後述するビット線に電氣的に接続され、ウェル 51 a の両端側寄りの第2、第3のn型不純物拡散領域 55 b, 55 c は後述するキャパシタの下部電極に電氣的に接続される。

## 【0173】

以上の工程により、p型のウェル 51 a にはゲート電極 54 a, 54 b とLD構造のn型不純物拡散領域 55 a ～55 c を有する2つのn型のMOSトランジスタ  $T_4$ ,  $T_5$  が1つのn型不純物拡散領域 55 a を共通にして形成される。

## 【0174】

次に、MOSトランジスタ  $T_4$ ,  $T_5$  を覆うカバー絶縁層 57 として約200 nmの厚さの酸化シリコン ( $\text{SiO}_2$ ) 層をプラズマCVD法によりシリコン基板 51 の全面に形成する。その後、TEOSガスを用いるプラズマCVD法により、厚さ1.0  $\mu\text{m}$ 程度の酸化シリコン ( $\text{SiO}_2$ ) を第1層間絶縁層 58 としてカバー絶縁層 57 の上に形成する。

## 【0175】

続いて、例えば常圧の窒素雰囲気中で第1層間絶縁層 58 を700℃の温度で30分間加熱し、これにより第1層間絶縁層 58 を緻密化する。その後に、第1層間絶縁層 58 の上面を化学機械研磨 (CMP) 法により平坦化する。

## 【0176】

次に、図 2 5 (b) に示すように、レジストパターン（不図示）を用いて第 1 層間絶縁層 5 8 とカバー絶縁層 5 7 をエッチングして、メモリセル領域の第 1、第 2 及び第 3 の n 型不純物拡散領域 5 5 a, 5 5 b, 5 5 c の上にそれぞれ第 1, 第 2 及び第 3 のコンタクトホール 5 8 a, 5 8 b, 5 8 c を形成する。

## 【 0 1 7 7 】

次に、図 2 6 (a) に示す構造を形成するまでの工程を説明する。

## 【 0 1 7 8 】

まず、第 1 層間絶縁層 5 8 上面と第 1 ～第 3 のコンタクトホール 5 8 a ～5 8 c 内面に、グルー層 5 9 a として厚さ 2 0 n m のチタン (Ti) 層と厚さ 5 0 n m の窒化チタン (TiN) 層をスパッタ法により順に形成する。さらに、 $WF_6$  を用いる CVD 法によって、タングステン (W) 層 5 9 b をグルー層 5 9 a 上に成長してコンタクトホール 5 8 a ～5 8 c 内を完全に埋め込む。

## 【 0 1 7 9 】

続いて、タングステン層 5 9 b とグルー層 5 9 a を CMP 法により研磨して第 1 層間絶縁層 5 8 の上面上から除去する。これにより、第 1、第 2 及び第 3 のコンタクトホール 5 8 a, 5 8 b, 5 8 c 内にそれぞれ残されたタングステン層 9 b 及びグルー層 5 9 a は、第 1、第 2 及び第 3 の導電性プラグ 6 0 a, 6 0 b, 6 0 c として使用される。第 1、第 2 及び第 3 の導電性プラグ 6 0 a, 6 0 b, 6 0 c は、それぞれ第 1、第 2 及び第 3 の n 型不純物拡散領域 5 5 a, 5 5 b, 5 5 c に接続される。また、第 1 の導電性プラグ 6 0 a は、後述するビット線に電氣的に接続され、第 2 及び第 3 の導電性プラグ 6 0 b, 6 0 c はそれぞれ後述するキャパシタに接続される。

## 【 0 1 8 0 】

その後に、基板温度 3 5 0 °C、1 2 0 秒の条件で第 1 層間絶縁層 8 を窒素プラズマ雰囲気中に曝す。

## 【 0 1 8 1 】

次に、図 2 6 (b) に示すように、第 1 ～第 3 の導電性プラグ 6 0 a ～6 0 c の上と第 1 層間絶縁層 5 8 の上に、導電性の酸素バリアメタル層 6 2 としてイリジウム層をスパッタにより形成する。イリジウム層は、第 2, 第 3 の導電性プラグ

6 0 b, 6 0 c の異常酸化を防止するために十分な厚さに形成される。例えば、イリジウム層は、酸素含有雰囲気中で 5 5 0 °C の基板温度でアニールする際に導電性プラグ 6 0 a ~ 1 0 c の異常酸化を防止するために例えば 2 0 0 ~ 4 0 0 n m の厚さに形成される。

## 【 0 1 8 2 】

なお、酸素バリアメタル層 6 2 a と第 1 の絶縁性密着層 6 1 の間に Ti 膜を形成してもよい。

## 【 0 1 8 3 】

続いて、酸素バリアメタル層 6 2 のうち第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の上とその周辺の領域にマスク（不図示）としてレジストパターンを形成する。

## 【 0 1 8 4 】

次に、図 2 7 (a) に示すように、マスクに覆われない領域の酸素バリアメタル層 6 2 をエッチングすることにより、酸素バリアメタル層 6 2 を第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の上とその周辺に島状に残す。これにより、第 1 の導電性プラグ 6 0 a は露出する。その後にマスクは除去される。なお、マスクとして窒化チタン、酸化シリコン等のハードマスクを用いてもよい。

## 【 0 1 8 5 】

さらに、図 2 7 (b) に示すように、第 1 の導電性プラグ 6 0 a、酸素バリアメタル層 6 2 及び第 1 層間絶縁層 5 8 の上に酸化防止絶縁層 6 3 として酸化窒化シリコン (SiON) 層又は窒化シリコン (Si<sub>3</sub>N<sub>4</sub>) 層を CVD 法により例えば 1 0 0 n m の厚さに形成する。厚さ 1 0 0 n m の SiON 層又は Si<sub>3</sub>N<sub>4</sub> 層は、約 6 5 0 °C の酸素アニール下で、第 1 の導電性プラグ 6 0 a の酸化を防止する能力を有する。

## 【 0 1 8 6 】

続いて、酸化防止絶縁層 6 3 上に絶縁性密着層 6 4 を形成する。絶縁性密着層 6 4 は、後述するキャパシタ下部電極との密着性を向上するためだけでなく、第 1、第 2 実施形態で説明したように、キャパシタ下部電極を構成するイリジウム膜又はプラチナ膜の (1 1 1) 配向強度を高くするために形成される。

## 【 0 1 8 7 】

絶縁性密着層 6 4 として例えばアルミナ層を 1 0 n m の厚さに形成する。そのアルミナ層の形成条件は、例えば第 1、第 2 実施形態に示したアルミナからなる密着層 1 2 の形成条件と同じにする。

## 【 0 1 8 8 】

次に、図 2 8 (a) に示すように、酸素バリアメタル層 6 2 をストッパー層として機能させて、絶縁性密着層 6 4 と酸化防止絶縁層 6 3 を CMP により研磨して酸素バリアメタル層 6 2 の上面を露出させる。この場合、酸素バリアメタル層 6 2、絶縁性密着層 6 4 及び酸化防止絶縁層 6 3 の研磨面は平坦になる。

## 【 0 1 8 9 】

CMP は、絶縁性密着層 6 4 の表面が粗さが 0. 7 9 n m 以下になる条件とする。

## 【 0 1 9 0 】

この後に、図 2 8 (b) に示すように、酸素バリアメタル層 6 2、酸化防止絶縁層 6 3 及び絶縁性密着層 6 4 の上に第 1 導電層 6 5 を形成する。第 1 導電層 6 5 として、例えば厚さ 1 0 n m のチタン (Ti) 層、厚さ 1 5 0 n m のイリジウムをスパッタにより順に形成する。

## 【 0 1 9 1 】

なお、第 1 導電層 6 5 を形成する前又は後に例えば膜剥がれ防止のために絶縁性密着層 6 4 をアニールしてもよい。アニール方法として、例えば、アルゴン雰囲気中で 7 5 0 ℃、6 0 秒の R T A を採用する。

## 【 0 1 9 2 】

続いて、第 1 導電層 6 5 上に、強誘電体層 6 6 として例えば厚さ 2 0 0 n m の P Z T 層を MOCVD 法により形成する。

## 【 0 1 9 3 】

MOCVD 法により P Z T 層の形成条件は、例えば第 2 実施形態において、強誘電体膜 1 4 を構成する P Z T 層の形成条件と同じにする。

## 【 0 1 9 4 】

この場合にも、第 1 実施形態と同じように、スパッタ、ゾルゲル法、COD 法等を採用して P Z T 層を形成してもよい。

## 【0195】

なお、強誘電体層66の材料としては、PZT以外に、PLCSZT、PLZTのような他のPZT系材料、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta},\text{Nb})_2\text{O}_9$ 等のBi層状構造化合物材料、その他の金属酸化物強誘電体を採用してもよい。なお、金属酸化物強誘電体は、第1実施形態のように $\text{ABO}_3$ ペロブスカイト構造にIr原子を含む材料であってもよい。

## 【0196】

なお、強誘電体層66をMOCVD法により形成した後は、強誘電体結晶化のためのアニールは行われぬ。

## 【0197】

続いて、強誘電体層66の上に、第2導電層67として例えば厚さ200nmの酸化イリジウム( $\text{IrO}_2$ )をスパッタ法により形成する。

## 【0198】

次に、第2導電層67上に、ハードマスク（不図示）としてTiN層と $\text{SiO}_2$ 層を順に形成する。TiN層はスパッタにより形成され、また、 $\text{SiO}_2$ 層はTEOSを用いるCVD法により形成される。ハードマスクは、第2及び第3の導電性プラグ60b、60c上の酸素バリアメタル層62の上方とその周辺にキャパシタ平面形状となるようにフォトリソグラフィ法によりパターニングされる。

## 【0199】

続いて、ハードマスクに覆われない領域の第2導電層67、強誘電体層66、第1導電層65を順次エッチングすることにより、酸素バリアメタル層62、絶縁性密着層64及び酸化防止絶縁層63の上にキャパシタ $Q_1$ を形成する。この場合、第2導電層67、強誘電体層66及び第1導電層65は、ハロゲン元素を含む雰囲気中でスパッタ反応によりエッチングされる。

## 【0200】

キャパシタ $Q_1$ は、図29(a)に示すように、第1導電層65よりなる下部電極65aと、強誘電体層66よりなる誘電体層66aと、第2導電層65よりなる上部電極65aから構成される。

## 【0201】



1つのウェル51aの上方には2つのキャパシタ $Q_1$ が形成され、それらの下部電極65aはそれぞれ第2又は第3の導電性プラグ60b、60cを介して第2又は第3のn型不純物拡散領域55b、55cに電氣的に接続される。

## 【0202】

ハードマスクは、キャパシタ $Q_1$ のパターン形成後に除去される。

## 【0203】

次に、エッチングによるダメージから強誘電体層66の質を回復するために、キャパシタの回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素を含むファーンネス内で行われる。

## 【0204】

このように強誘電体層66のパターニング直後に回復アニールなどの熱処理を施す場合、下部電極65a直下の第2、第3の導電性プラグ60b、60cの耐熱性は、酸素バリアメタル層62の酸素透過性で決まり、また、下部電極65a直下に位置しない第1の導電性プラグ60aの耐酸化性は、絶縁性密着層64と酸化防止絶縁層63の酸素透過性で決まる。

## 【0205】

上記のような熱プロセスがキャパシタ $Q_1$ を形成する際にはかかるわけであるが、酸化防止絶縁層63として窒化シリコン層を用いた場合に厚さが70nmであればタングステンからなる第1の導電性プラグ60aは異常酸化しない。

## 【0206】

次に、図29(b)に示すように、キャパシタ保護層69として厚さ50nmのアルミナをスパッタによりキャパシタ $Q_1$ と絶縁性密着層64の上に形成する。このキャパシタ保護層69は、プロセスダメージからキャパシタ $Q_1$ を保護するものであって、アルミナの他、PZTで構成してもよい。

## 【0207】

続いて、650℃で60分間の条件でキャパシタ $Q_1$ をファーンネス内の酸素雰囲気内でアニールする。

## 【0208】

その後、HDP(High Density Plasma)装置を用いて、プラズマCVD法によ

り、第2層間絶縁層70として厚さ1.0  $\mu\text{m}$ 程度の酸化シリコン ( $\text{SiO}_2$ ) をキャパシタ保護層69上に形成する。

#### 【0209】

さらに、第2層間絶縁層70の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁層70の残りの厚さは、上部電極67a上で300nm程度とする。

#### 【0210】

次に、図30に示す構造を形成するまでの工程を説明する。

#### 【0211】

まず、レジストマスク（不図示）を用いて、第2層間絶縁層70、キャパシタ保護層69、絶縁性密着層64及び酸化防止絶縁層63をエッチングすることにより、第1の導電性プラグ60aの上に第4のコンタクトホール70aを形成する。

#### 【0212】

続いて、第4のコンタクトホール70a内と第2層間絶縁層70上に、グルー層として厚さ50nmのTiN層をスパッタ法により順に形成する。さらに、CVD法によりタングステン層をグルー層の上に成長して第4のコンタクトホール70a内を完全に埋め込む。

#### 【0213】

さらに、タングステン層、グルー層をCMP法により研磨して第2層間絶縁層70の上面上から除去する。そして、第4のコンタクトホール70a内に残されたタングステン層及びグルー層を第4の導電性プラグ71とする。

#### 【0214】

これにより、第4の導電性プラグ71は、第1の導電性プラグ60aに接続されてvia-to-viaコンタクトとなり、第1の不純物拡散領域55aに電氣的に接続される。

#### 【0215】

その後、窒素プラズマ雰囲気中で第2層間絶縁層70を350℃、120秒の条件でアニールする。

## 【 0 2 1 6 】

次に、第 4 の導電性プラグ 7 1 上と第 2 層間絶縁層 7 0 上に、第 2 の酸化防止層（不図示）として SiON 層を CVD 法により 1 0 0 n m の厚さに形成する。

## 【 0 2 1 7 】

続いて、第 2 の酸化防止層、第 2 層間絶縁層 7 0 及びキャパシタ保護層 6 9 をフォトリソグラフィ法によりパターニングしてキャパシタ  $Q_1$  の上部電極 6 7 a 上にホール 7 2 を形成する。ホール 7 2 を形成することによりダメージを受けたキャパシタ  $Q_1$  はアニールによって回復される。そのアニールは、例えば酸素含有雰囲気中で基板温度 5 5 0 °C として 6 0 分間行われる。

## 【 0 2 1 8 】

次に、第 2 層間絶縁層 7 0 上に形成された第 2 の酸化防止層をエッチバックによって除去する。これにより、第 4 の導電性プラグ 7 1 の表面が露出する。

## 【 0 2 1 9 】

続いて、キャパシタ  $Q_1$  の上部電極 6 7 a 上のホール 7 2 内と第 2 層間絶縁層 7 0 の上に多層金属層を形成する。その多層金属層として、例えば、厚さ 6 0 n m の Ti、厚さ 3 0 n m の TiN、厚さ 4 0 0 n m の Al-Cu、厚さ 5 n m の Ti、及び 7 0 n m の TiN 層を順に形成する。

## 【 0 2 2 0 】

その後、多層金属層をパターニングすることにより、第 4 の導電性プラグ 7 1 に接続される導電性パッド 7 3 a と、ホール 7 2 を通して上部電極 6 7 a に接続される一層目金属配線 7 3 b、7 3 c とを形成する。

## 【 0 2 2 1 】

さらに、第 2 層間絶縁層 7 0 と一層目金属配線 7 3 b、7 3 c と導電性パッド 7 3 a の上に第 3 層間絶縁層 7 4 を形成する。続いて、第 3 層間絶縁層 7 4 をパターニングして導電性パッド 7 3 a の上にビット線コンタクト用のホール 7 4 a を形成する。また、それらのホール 7 4 a のそれぞれの中に下から順に TiN 層及び W 層からなる第 5 の導電性プラグ 7 5 を形成する。

## 【 0 2 2 2 】

次に、第 3 層間絶縁層 7 4 上に、ビット線 7 6 を含む二層目金属配線を形成す

る。ビット線 7 6 は、一層目金属配線 7 3 b, 7 3 c と同様に、多層金属構造となっている。

#### 【 0 2 2 3 】

その後に、二層目金属配線を覆う絶縁層等が形成され、最後に T E O S 原料酸化シリコン層と窒化シリコン層により構成されるカバー層を形成するが、その詳細は省略する。

#### 【 0 2 2 4 】

以上の工程によって形成された F e R A M のメモリセルは、下部電極 6 5 a の一部の下に平坦性の良い絶縁性密着層 6 4 が存在する。従って、第 2 実施形態と同様に、第 1 導電膜 6 5 (下部電極 6 5 a) の (1 1 1) 配向強度が高くなり、第 1 導電膜 6 5 上に 6 2 0 ° C の高い基板温度で M O C V D 法により P Z T 強誘電体膜 6 6 を形成すると、強誘電体膜 6 6 を構成するグレインのうち 9 0 % 以上が (1 1 1) 配向に揃う。これにより、第 2 実施形態と同様に、本実施形態のメモリセルのインプリント特性が向上した。

#### 【 0 2 2 5 】

しかも、M O C V D 法により強誘電体膜 6 6 を形成する際には、タングステンよりなる導電性プラグ 6 0 b, 6 0 c が酸化バリアメタル層 6 2 に覆われているので、導電性プラグ 6 0 b, 6 0 c の異常酸化が発生しない。

#### 【 0 2 2 6 】

ただし、強誘電体膜 6 6 の成長温度が高すぎると導電性プラグ 6 0 b, 6 0 c が酸化され易い。従って、導電性プラグ 6 0 b, 6 0 c の酸化を防止するためには 6 5 0 ° C 以下の温度が好ましい。また、P Z T 膜でのグレインの (1 1 1) 配向比率を 9 0 % 以上にするためには、6 0 0 ° C 以上の成長温度が必要となる。

#### 【 0 2 2 7 】

これらのことから、導電性プラグ 6 0 b, 6 0 c が下部電極 6 5 a に接続するスタック構造のキャパシタ  $Q_1$  の形成工程においては、強誘電体膜 6 6 を 6 0 0 ~ 6 5 0 ° C の成長温度で形成することが好ましい。

(第 4 の実施の形態)

本実施形態では、酸素バリアメタル層 6 2 として形成されるイリジウム層をキ

ャパシタQの下部電極14aの一部を構成する構造について説明する。

【0228】

図31～図34は、本発明の第4実施形態の半導体装置の製造工程を示す断面図である。

【0229】

まず、第3実施形態に示した工程によりシリコン基板51にMOSトランジスタ $T_4$ 、 $T_5$ を形成し、さらに、カバー層57、第1層間絶縁層58を形成する。

【0230】

次に、図31(a)に示すように、表面が粗さが0.79nm以下の第1の絶縁性密着層61を第1層間絶縁層58上に形成する。第1の絶縁性密着層61は、後述するキャパシタ下部電極との密着性を向上するためだけでなく、第1、第2実施形態で説明したように、キャパシタ下部電極を構成するイリジウム膜又はプラチナ膜の(111)配向性を改善するために形成される。

【0231】

第1の絶縁性密着層61として、例えばアルミナ層を10nmの厚さに形成する。そのアルミナ層の形成条件は、例えば第1、第2実施形態に示したアルミナからなる密着層12の形成条件と同じにする。

【0232】

次に、図31(b)に示すように、第1の絶縁性密着層61、第1層間絶縁層58及びカバー絶縁層57をパターニングすることにより、メモリセル領域の第1、第2及び第3のn型不純物拡散領域55a、55b、55cの上にそれぞれ第1、第2及び第3のコンタクトホール58a、58b、58cを形成する。

【0233】

次に、図32(a)に示す構造を形成するまでの工程を説明する。

【0234】

まず、第3実施形態と同じ工程によって、第1、第2及び第3のコンタクトホール58a、58b、58c内にそれぞれ第1、第2及び第3の導電性プラグ60a、60b、60cを形成する。第1、第2及び第3の導電性プラグ60a、

60b, 60cは、タングステン層59b、グルー層59aの積層構造から構成される。

【0235】

続いて、第1～第3の導電性プラグ60a～60cの上と第1の絶縁性密着層61の上に、導電性の酸素バリアメタル層62aとしてイリジウム層をスパッタにより形成する。この酸素バリアメタル層62aは、後述するようにキャパシタQの下部電極を構成する。

【0236】

なお、酸素バリアメタル層62aと第1の絶縁性密着層61の間にTi膜を形成してもよい。

【0237】

酸素バリアメタル層62aとなるイリジウム層は、導電性プラグ60a～60cの異常酸化を防止するために十分な厚さに形成され、例えば酸素含有雰囲気中で550℃の基板温度でアニールする際に導電性プラグ60a～60cの異常酸化を防止するために例えば200nmの厚さに形成され、さらに基板温度が100℃上がるごとに厚さを100nmずつ加えて形成される。即ち、イリジウム層が400nmあれば、イリジウム層は750℃の酸素アニールに対して導電性プラグ60a～60cの酸化を防止できる。

【0238】

続いて、酸素バリアメタル層62aのうち第2、第3の導電性プラグ60b, 60cの上方とその周辺の領域にマスクM<sub>1</sub>を形成する。マスクM<sub>1</sub>の平面形状は後述するキャパシタの下部電極の形状とする。マスクM<sub>1</sub>としてレジストを用いてもよいし、窒化チタン、酸化シリコン等のハードマスクを用いてもよい。

【0239】

次に、図32(b)に示すように、マスクM<sub>1</sub>に覆われない領域の酸素バリアメタル層62aをエッチングすることにより、酸素バリアメタル層62aを第2、第3の導電性プラグ60b, 60cの上とその周辺の第1の絶縁性密着層61の上にキャパシタの大きさに残す。バリアメタル層11aのエッチングガスとしてハロゲン系ガスが使用される。これにより、第1の導電性プラグ10aは露出す

る。

【 0 2 4 0 】

続いて、マスク  $M_1$  が除去される。

【 0 2 4 1 】

その後、図 3 3 (a) に示すように、第 1 の導電性プラグ 6 0 a、酸素バリアメタル層 6 2 a 及び第 1 の絶縁性密着層 6 1 の上に、酸化防止絶縁層 6 3 として酸化窒化シリコン ( $\text{SiON}$ ) 層又は窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 層を CVD 法により例えば 1 0 0 n m の厚さに形成する。続いて、酸化防止絶縁層 6 3 上に、第 2 の絶縁性密着層 6 4 a として例えば TEOS を用いる CVD 法により例えば厚さ 3 0 0 n m の酸化シリコン ( $\text{SiO}_2$ ) 層を形成する。

【 0 2 4 2 】

さらに、図 3 3 (b) に示すように、酸素バリアメタル層 6 2 a をストッパー層として機能させて、CMP により第 2 の絶縁性密着層 6 4 a と酸化防止絶縁層 6 3 を研磨することにより酸素バリアメタル層 6 2 a の上面を露出させる。この場合、酸素バリアメタル層 6 2 a、第 2 の絶縁性密着層 6 4 a 及び酸化防止絶縁層 6 3 の上面は、CMP によって平坦化される。

【 0 2 4 3 】

この後に、図 3 4 (a) に示すように、酸素バリアメタル層 6 2 a、酸化防止絶縁層 6 3 及び第 2 の絶縁性密着層 6 4 a の上に、第 1 導電層 6 5 b として例えば厚さ 3 0 n m の Ir 層をスパッタにより順に形成する。この Ir 層は、酸素バリアメタル層 6 2 a の配向を受け継いで (1 1 1) 配向強度が高くなる。

【 0 2 4 4 】

なお、第 1 導電層 6 5 b を形成する前又は後に例えば膜剥がれ防止のために第 2 の絶縁性密着層 6 4 a をアニールしてもよい。アニール方法として、例えば、アルゴン雰囲気中で 7 5 0 °C、6 0 秒の RTA を採用する。

【 0 2 4 5 】

続いて、第 1 導電層 6 5 b 上に、強誘電体層 6 6 として例えば厚さ 1 2 0 n m の PZT 層を MOCVD 法により形成する。MOCVD 法による強誘電体層 6 6 の形成条件は第 3 実施形態と同様に設定される。

## 【 0 2 4 6 】

なお、強誘電体層 6 6 の形成方法は、第 3 実施形態に示した他の方法を採用してもよい。また、強誘電体層 6 6 の材料として、P Z T 以外に、第 3 実施形態に示した材料を採用してもよい。

## 【 0 2 4 7 】

続いて、強誘電体層 6 6 の上に、第 2 導電層 6 7 として例えば厚さ 2 0 0 n m の  $\text{IrO}_2$  層をスパッタ法により形成する。

## 【 0 2 4 8 】

次に、第 2 導電層 6 7 上に  $\text{TiN}$  層と  $\text{SiO}_2$  層を順に形成する。 $\text{TiN}$  層はスパッタにより形成され、また、 $\text{SiO}_2$  層は  $\text{TEOS}$  を用いる  $\text{CVD}$  法により形成される。 $\text{TiN}$  層と  $\text{SiO}_2$  層は、第 2、第 3 の導電性プラグ 6 0 b, 6 0 c の上方で酸素バリアメタル層 6 2 a とほぼ同じ平面形状にパターニングされることによりハードマスク  $M_2$  となる。

## 【 0 2 4 9 】

続いて、ハードマスク  $M_2$  に覆われない領域の第 2 導電層 6 7、強誘電体層 6 6、第 1 導電層 6 5 b を順次エッチングする。なお、そのエッチングにより絶縁性密着層 6 4 a がエッチングされても、酸化防止絶縁層 6 3 はエッチングストッパーとして機能するので、第 1 の導電性プラグ 6 0 a が露出することはない。

## 【 0 2 5 0 】

以上により、図 3 4 (b) に示すように、第 1 層間絶縁層 5 8 上にはキャパシタ  $Q_2$  が形成される。キャパシタ  $Q_2$  の下部電極 6 5 a は第 1 導電層 6 5 b 及び酸素バリアメタル層 6 2 a によって構成される。また、キャパシタ  $Q_2$  の誘電体層 6 6 a は強誘電体層 6 6 から構成され、さらにキャパシタ  $Q_2$  の上部電極 6 7 a は第 2 導電層 6 7 から構成される。

## 【 0 2 5 1 】

キャパシタ  $Q_2$  は、1 つのウェル 5 1 a の上方に 2 つ配置され、それらの下部電極 6 5 a はそれぞれ第 2 又は第 3 の導電性プラグ 6 0 b, 6 0 c を介して第 2 又は第 3 の  $n$  型不純物拡散領域 5 5 b, 5 5 c に電氣的に接続される。

## 【 0 2 5 2 】



ハードマスク $M_2$ は、キャパシタ $Q_2$ のパターン形成後に除去される。

【0253】

次に、強誘電体層66の膜質をエッチングによるダメージから回復するためにキャパシタ $Q_2$ の回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素を含むファーンズ内で行われる。

【0254】

このように強誘電体層66のパターニング直後に回復アニールなどの熱処理を施す場合、下部電極65a直下の第2、第3の導電性プラグ60b、60cの耐熱性は、酸素バリアメタル層62aの酸素透過性で決まり、また、下部電極65a直下に位置しない第1の導電性プラグ60aの耐酸化性は、第2の絶縁性密着層64aと酸化防止絶縁層63の酸素透過性で決まる。

【0255】

次に、図35に示す構造を形成するまでの工程について説明する。

【0256】

まず、キャパシタ $Q_2$ 、酸化防止絶縁膜64及び第2の絶縁性密着層64a上に、キャパシタ保護層69として厚さ50nmのアルミナをスパッタにより形成する。さらに、第3実施形態に示した工程に従って、第4導電性プラグ71、導電性パッド73a、一層目配線73b、73c、第3層間絶縁層74、第5の導電性プラグ75、ビット線76等を形成する。

【0257】

以上の工程によって形成されたFeRAMのメモリセルは、下部電極65aの一部を構成する酸素バリアメタル層62aの下に平坦性のよい第1の絶縁性密着層61が存在する。

【0258】

従って、第3実施形態と同様に、第1導電膜65（下部電極64a）の（111）配向強度が高くなり、第1導電膜65上に620℃の高い基板温度でMOCVD法によりPZT強誘電体膜66を形成すると、強誘電体膜66を構成するグレインのうち90%以上を（111）配向に揃えることができ、第2実施形態と同様にメモリセルのインプリント特性が向上した。

## 【 0 2 5 9 】

しかも、MOCVD法により強誘電体膜 6 6 を形成する際には、タングステンよりなる導電性プラグ 6 0 b、6 0 c が酸化バリアメタル層 6 2 に覆われているので、導電性プラグ 6 0 b、6 0 c の異常酸化が発生しない。

## 【 0 2 6 0 】

なお、キャパシタ  $Q_2$  の形成工程においては、第 3 実施形態と同様に、強誘電体膜 6 6 を 6 0 0 ~ 6 5 0 °C の成長温度で形成することが好ましい。

(付記 1) 半導体基板の上方に形成された絶縁膜と、

前記絶縁膜の上に形成された密着層と、

前記密着層の上に形成されたキャパシタ下部電極と、

前記キャパシタ下部電極の上に形成され、且つ A サイトと B サイトの少なくとも一方に Ir を含む  $ABO_3$  型ペロブスカイト構造 ( $A = Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B = Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$  のいずれか) を有する強誘電体層と、

前記強誘電体層上に形成されたキャパシタ上部電極と  
を有することを特徴とする半導体装置。

(付記 2) 前記強誘電体層の (1 1 1) 配向方位は、前記半導体基板の上面の垂直方向から 3. 5° 以下の傾きであることを特徴とする付記 1 に記載の半導体装置。

(付記 3) 前記強誘電体膜は、PZT を主成分とする材料であることを特徴とする付記 1 又は付記 2 に記載の半導体装置。

(付記 4) 前記下部電極の (1 1 1) 配向方位は、前記半導体基板の上面の垂直方向からの傾きが 2. 3° 以下であることを特徴とする付記 1 乃至付記 3 のいずれかに記載の半導体装置。

(付記 5) 前記下部電極はプラチナであることを特徴とする付記 1 乃至付記 4 のいずれかに記載の半導体装置。

(付記 6) 前記密着層の上面の粗さは 0. 7 9 nm 以下であることを特徴とする付記 1 乃至付記 5 のいずれかに記載の半導体装置。

(付記 7) 前記密着層はアルミナからなることを特徴とする付記 1 乃至付記 6 の

いずれかに記載の半導体装置。

(付記 8) 前記上部電極は酸化イリジウム又はイリジウムからなることを特徴とする付記 1 乃至付記 7 のいずれかに記載の半導体装置。

(付記 9) 半導体基板の上方に形成された絶縁膜と、

前記絶縁膜の上に形成され且つ表面粗さが 0.79 nm 以下の密着層と、

前記密着層の上に形成され且つ前記半導体基板の上面の垂直方向から 2.3° 以下で傾いた (111) 配向方位であるキャパシタ下部電極と、

前記キャパシタ下部電極の上に形成され且つ  $ABO_3$  型ペロブスカイト構造 ( $A = Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B = Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$  のいずれか) を有する強誘電体層と、

前記強誘電体層上に形成された前記キャパシタ上部電極とを有することを特徴とする半導体装置。

(付記 10) 前記強誘電体層の (111) 配向方位は、前記半導体基板の上面の垂直方向から 3.5° 以下で傾いていることを特徴とする付記 9 に記載の半導体装置。

(付記 11) 半導体基板の上方に形成された絶縁膜と、

前記絶縁膜の上に形成された密着層と、

前記密着層の上に形成されたキャパシタ下部電極と、

前記キャパシタ下部電極の上に形成され、前記半導体基板の上面の垂直方向から 3.5° 以下の傾きの (111) 配向方位であり、且つ  $ABO_3$  型ペロブスカイト構造 ( $A = Bi, Pb, Ba, Sr, Ca, Na, K$ 、希土類元素のいずれか、 $B = Ti, Zr, Nb, Ta, W, Mn, Fe, Co, Cr$  のいずれか) を有する強誘電体層と、

前記強誘電体層上に形成された前記キャパシタ上部電極とを有することを特徴とする半導体装置。

(付記 12) 前記下部電極はプラチナ層、イリジウム層、プラチナ含有層、イリジウム含有層のいずれかであることを特徴とする付記 9 乃至付記 11 のいずれかに記載の半導体装置。

(付記 13) 前記強誘電体膜は、PZT を主成分とする材料、又は PZT であることを特徴とする付記 9 乃至付記 12 のいずれかに記載の半導体装置。

(付記 1 4) 前記絶縁膜及び前記密着層のうち前記下部電極の下に形成されたホールと、

前記ホール内に形成されて前記下部電極に接続される導電性プラグとをさらに有することを特徴とする付記 1 乃至付記 1 3 のいずれかに記載の半導体装置。

(付記 1 5) 前記導電性プラグと前記下部電極の間には酸素バリアメタル層が形成されていることを特徴とする付記 1 4 に記載の半導体装置。

(付記 1 6) 前記酸素バリアメタル層は、前記下部電極の一部を構成することを特徴とする付記 1 5 に記載の半導体装置。

(付記 1 7) 半導体基板の上方に絶縁膜を形成する工程と、

表面粗さが 0.79 nm 以下の密着層を前記絶縁膜の上に形成する工程と、

(1 1 1) 配向方位が前記半導体基板の上面の垂直方向から 2.3° 以下に傾いている第 1 導電膜を前記密着層の上に形成する工程と、

前記第 1 導電膜の上に強誘電体層を形成する工程と、

前記強誘電体層上に前記第 2 導電膜を形成する工程と、

前記第 2 導電膜をパターニングしてキャパシタ上部電極を形成する工程と、

前記強誘電体層をパターニングすることにより少なくとも前記上部電極の下に残す工程と、

前記第 1 導電膜をパターニングすることにより、前記上部電極の下方にキャパシタ下部電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

(付記 1 8) 前記強誘電体層は、スパッタ、MOCVD、MOD 溶液使用のスピノン法、ゾルゲル溶液使用のスピノン法のいずれかの成長方法により形成されることを特徴とする付記 1 7 に記載の半導体装置の製造方法。

(付記 1 9) 半導体基板の上方に絶縁膜を形成する工程と、

前記絶縁膜の上に密着層を形成する工程と、

前記密着層の上に第 1 導電膜を形成する工程と、

A サイトと B サイトの少なくとも一方に Ir 元素を含む  $ABO_3$  型ペロブスカイト構造 (A = Bi、Pb、Ba、Sr、Ca、Na、K、希土類元素のいずれか、B = Ti、Zr、

Nb、Ta、W、Mn、Fe、Co、Crのいずれか)の強誘電体層を前記第1導電膜の上に形成する工程と、

前記強誘電体層の上に前記第2導電膜を形成する工程と、

前記第2導電膜をパターンニングしてキャパシタ上部電極を形成する工程と、

前記強誘電体層をパターンニングすることにより少なくとも前記上部電極の下に残す工程と、

前記第1導電膜をパターンニングすることにより、前記上部電極の下方にキャパシタ下部電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

(付記20) 前記強誘電体層は、Irを含む有機ソースを用いるMOCVD、Irを含むターゲットを用いたスパッタ、Ir元素を有するゾルゲル液若しくはIrを有するMOD溶液を用いてスピノン法のいずれかにより形成されることを特徴とする付記19に記載の半導体装置の製造方法。

(付記21) 前記強誘電体層を形成する工程は、

強誘電体材料層を形成する工程と、

イリジウム、イリジウム含有材料のいずれかからなる前記第2導電膜を前記強誘電体材料層の上に形成する工程と、

熱により前記第2導電膜からIrを前記強誘電体材料層にドーブする工程とを有することを特徴とする付記19に記載の半導体装置の製造方法。

(付記22) 前記第2導電膜の形成の前に前記強誘電体層を加熱する工程と、

前記第2導電膜及び前記強誘電体層を加熱する工程と

をさらに有することを特徴とする付記17乃至付記21のいずれかに記載の半導体装置の製造方法。

(付記23) 前記下部電極としてプラチナ膜を形成することを特徴とする付記17乃至付記22のいずれかに記載の半導体装置の製造方法。

(付記24) 半導体基板の上方に絶縁膜を形成する工程と、

表面粗さが0.79nm以下の密着層を前記絶縁膜の上に形成する工程と、

イリジウム、イリジウム含有材料のいずれかからなる第1導電膜を前記密着層の上に形成する工程と、

上面側に (1 1 1) 配向を有するグレインを 9 0 % 以上含む強誘電体層を M O C V D の成長方法により前記第 1 導電膜の上に形成する工程と、

前記強誘電体層上に前記第 2 導電膜を形成する工程と、

前記第 2 導電膜をパターンニングしてキャパシタ上部電極を形成する工程と、

前記強誘電体層をパターンニングすることにより少なくとも前記上部電極の下に残す工程と、

前記第 1 導電膜をパターンニングすることにより、前記上部電極の下方にキャパシタ下部電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

(付記 2 5) 前記強誘電体層を前記 M O C V D により形成する際の前記強誘電体層の成長温度を 6 0 0 ~ 6 5 0 ° C の間に設定することを特徴とする付記 1 8、付記 2 0、付記 2 4 のいずれかに記載の半導体装置の製造方法。

(付記 2 6) 前記強誘電体層は成長時、又は加熱処理によって、(1 1 1) 配向方位が前記半導体基板の上面の垂直方向から 3 . 5 ° 以下の傾きになされることを特徴とする付記 1 7 乃至付記 2 5 のいずれかに記載の半導体装置の製造方法。

(付記 2 7) 前記強誘電体膜は、P Z T を主成分とする材料、又は P Z T であることを特徴とする付記 1 7 乃至付記 2 6 のいずれかに記載の半導体装置の製造方法。

(付記 2 8) 前記密着層としてアルミナを形成することを特徴とする付記 1 7 乃至付記 2 7 のいずれかに記載の半導体装置の製造方法。

(付記 2 9) 前記アルミナは、前記半導体基板の温度を 1 0 0 ° C 以下に設定して形成されることを特徴とする付記 2 8 に記載の半導体装置の製造方法。

(付記 3 0) 前記下部電極は、(1 1 1) 配向方位が前記半導体基板の前記上面の垂直方向からの傾きが 2 . 3 ° 以下となる条件で形成されることを特徴とする付記 1 9 又は付記 2 4 に記載の半導体装置の製造方法。

(付記 3 1) 下前記絶縁膜及び前記密着層のうち前記キャパシタ下部電極の下にホールを形成する工程と、

前記ホール内に前記キャパシタ下部電極に接続される導電性プラグを形成する工程と

をさらに有することを特徴とする付記 1 7 乃至付記 3 0 のいずれかに記載の半導体装置の製造方法。

(付記 3 2) 前記導電性プラグと前記キャパシタ下部電極の間には酸素バリアメタル層が形成されていることを特徴とする付記 3 1 に記載の半導体装置の製造方法。

#### 【 0 2 6 1 】

##### 【発明の効果】

以上述べたように本発明によれば、A サイトと B サイトの少なくとも一方に Ir を含む  $ABO_3$  型ペロブスカイト構造の強誘電体層を含むキャパシタを有しているので、 $ABO_3$  型ペロブスカイト構造に Ir を含まない強誘電体層を有するキャパシタに比べて、残留分極特性を大きくすることができる。

#### 【 0 2 6 2 】

また、表面粗さが 0. 7 9 n m 以下の密着層の上に ( 1 1 1 ) 配向方向が基板面の垂直方向に対して 2. 3 ° 以下に傾いているキャパシタの下部電極を形成しているので、その下部電極の上に形成される強誘電体層の ( 1 1 1 ) 配向方向を良好にすることができる。

#### 【 0 2 6 3 】

さらに、キャパシタにおいて下部電極上に形成される強誘電体層の ( 1 1 1 ) 配向方向を基板面の垂直方向に対して 3. 5 ° 以下に傾けたので、そのようなキャパシタを有する F e R A M の不良ビット数を従来よりも少なくなることができる。

#### 【 0 2 6 4 】

また、表面粗さが 0. 7 9 n m 以下の密着層の上にイリジウム又はイリジウム含有材料からなる下部電極を形成し、その上に M O C V D 法により強誘電体層を形成することにより、( 1 1 1 ) 配向を有するグレインを 9 0 % 以上含む強誘電体層の形成が可能になる。

##### 【図面の簡単な説明】

#### 【図 1】

図 1 ( a ) , ( b ) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す

断面図（その１）である。

【図 2】

図 2 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 3】

図 3 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 4】

図 4 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 5】

図 5 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 5）である。

【図 6】

図 6 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 6）である。

【図 7】

図 7 は、プラチナ下部電極の（1 1 1）配向強度ピークの密着層依存性を示す測定図である。

【図 8】

図 8 は、密着層の表面粗さの違いの比較を示す図である。

【図 9】

図 9 は、密着層の表面粗さと、密着層上に形成される Pt 膜の（1 1 1）配向方位との関係を示す図である。

【図 1 0】

図 1 0 は、P Z T 強誘電体膜の（1 1 1）配向強度ピークの密着層依存性を示す測定図である。

【図 1 1】

図 1 1 は、密着層の表面粗さと、密着層上に Pt 膜を介して形成される P Z T 膜



の (1 1 1) 配向方位との関係を示す図である。

【図 1 2】

図 1 2 は、入射 X 線エネルギーについて、Ir ドープト P Z T を有するキャパシタのキャパシタの下 Pt 下部電極の (1 1 1) 配向積分強度と Ir ドープト P Z T を有するキャパシタのキャパシタの下 Pt 下部電極の (1 1 1) 配向積分強度と比を示す図である。

【図 1 3】

図 1 3 は、Ir ドープト P Z T と Ir ノンドープト P Z T の (1 1 1) 配向積分強度比と入射 X 線エネルギーとの関係を示す図である。

【図 1 4】

図 1 4 は、本発明の第 1 の実施形態に係る  $ABO_3$  構造材料の結晶格子を示す図である。

【図 1 5】

図 1 5 は、Ir ドープト P Z T を有するキャパシタの  $Q_{sw}$  と、Ir アンドープト P Z T を有するキャパシタの  $Q_{sw}$  の測定図である。

【図 1 6】

図 1 6 は、本発明の第 1 実施形態に係るキャパシタの電圧－残留分極電荷特性を示す図である。

【図 1 7】

図 1 7 は、Ir ドープト P Z T を有するキャパシタと、Ir アンドープト P Z T を有するキャパシタの不良 bit 数の関係を示す図である。

【図 1 8】

図 1 8 は、P Z T 配向方位のずれと不良 bit 数の関係を示す図である。

【図 1 9】

図 1 9 は、P Z T 配向方位のずれと良品数の関係を示す図である。

【図 2 0】

図 2 0 は、1 T 1 C 方式キャパシタでの 230℃ ベーク後の良品数を示す図である。

【図 2 1】

図 2 1 は、本発明の第 2 実施形態に係る半導体装置に採用される密着層がイリジウム膜の (1 1 1) 配向にどのような影響を与えるかを従来構造との比較において比較した Ir (1 1 1) X線回折強度の比較図である。

【図 2 2】

図 2 2 は、従来方法で成膜した P Z T を用いたキャパシタと本発明の第 2 実施形態の成膜法で形成した P Z T を用いたキャパシタのインプリント特性を示す図である。

【図 2 3】

図 2 3 (a) は、不良ビットが発生するキャパシタの断面図、図 2 3 (b) は、P Z T 結晶の電子回折像を示す図である、

【図 2 4】

図 2 4 は、不良ビットが発生しないキャパシタの断面図である。

【図 2 5】

図 2 5 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 2 6】

図 2 6 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 2 7】

図 2 7 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 2 8】

図 2 8 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

【図 2 9】

図 2 9 (a), (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 5) である。

【図 3 0】

図 3 0 は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (

その 6) である。

【図 3 1】

図 3 1 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 3 2】

図 3 2 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 3 3】

図 3 3 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 3 4】

図 3 4 (a), (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

【図 3 5】

図 3 5 は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 5) である。

【符号の説明】

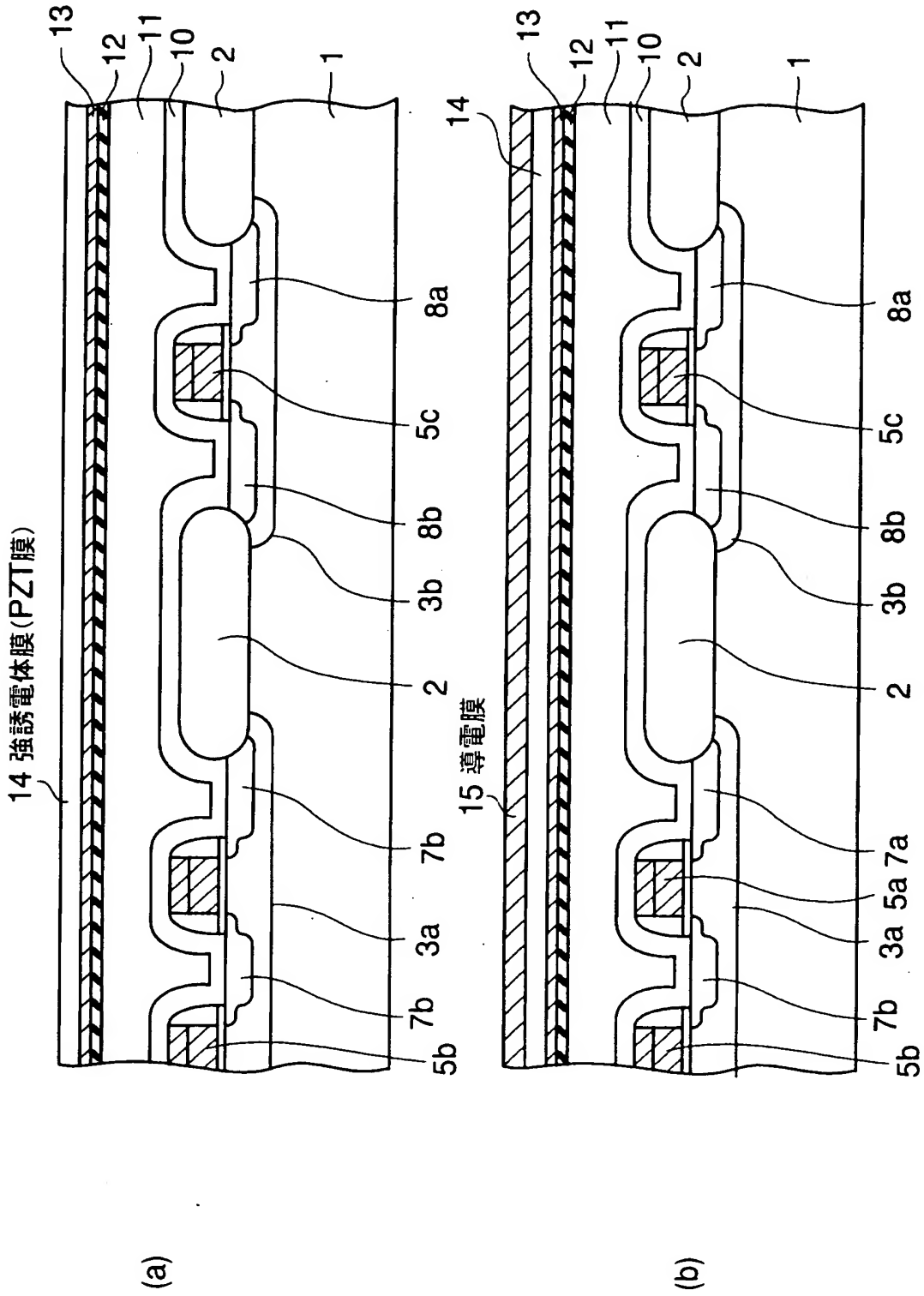
1 … シリコン基板、2 … 素子分離絶縁膜、3 a … p ウェル、3 b … n ウェル、4 … ゲート絶縁膜、5 a ~ 5 c … ゲート電極、6 … 側壁絶縁膜、7 a, 7 b … n 型不純物拡散領域、8 a, 8 b … p 型不純物拡散領域、1 1 … 層間絶縁膜、1 2 … Ti 膜、1 2 a …  $TiO_x$  膜、1 3 … 第 1 の導電膜、1 3 a … キャパシタ下部電極、1 4 … 強誘電体膜、1 4 a … キャパシタ誘電体膜、1 5 … 第 2 の導電膜、1 5 a … キャパシタ上部電極、1 6 … キャパシタ保護絶縁膜、1 7 … 層間絶縁膜、1 7 a ~ 7 e … コンタクトホール、1 8 a ~ 1 8 e … 導電性プラグ、1 9 … 酸化防止絶縁膜、1 9 a … コンタクトホール、2 0 a ~ 2 0 d … アルミニウム配線、2 0 e … 導電パッド、5 1 … シリコン基板、5 2 … 素子分離絶縁膜、5 3 … ゲート絶縁膜、5 4 a, 5 4 b … ゲート電極、5 5 a ~ 5 5 c … 不純物拡散領域、5 7 … カバー絶縁膜、5 8 a ~ 5 8 c … コンタクトホール、6 0 a ~ 6 0 c … 導電性プラグ、6 1 … 絶縁性密着層、6 2, 6 2 a … 酸素バリアメタル層、6 3 … 酸化

防止絶縁膜、64…絶縁性密着層、65, 65b…第1導電膜、66…強誘電体膜、67…第2導電層、69…キャパシタ保護膜、70…層間絶縁膜、65a…下部電極、66a…誘電体層、67a…上部電極、Q,  $Q_1$ ,  $Q_2$ …キャパシタ



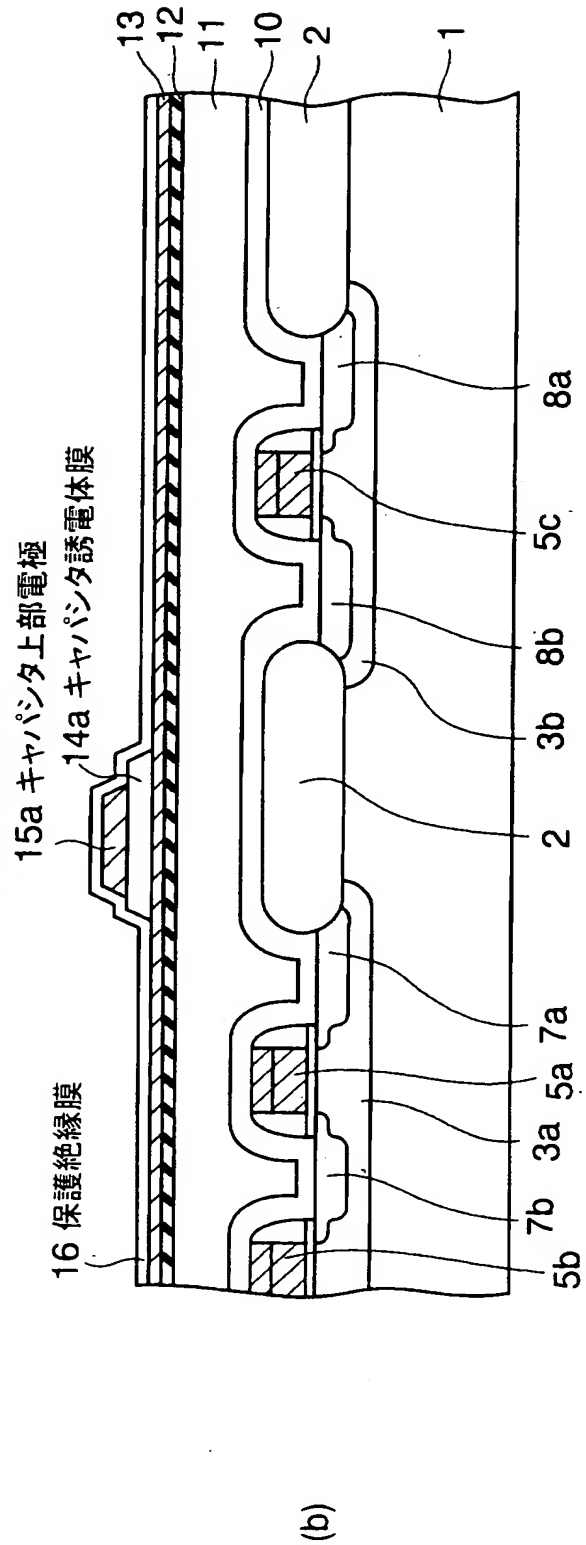
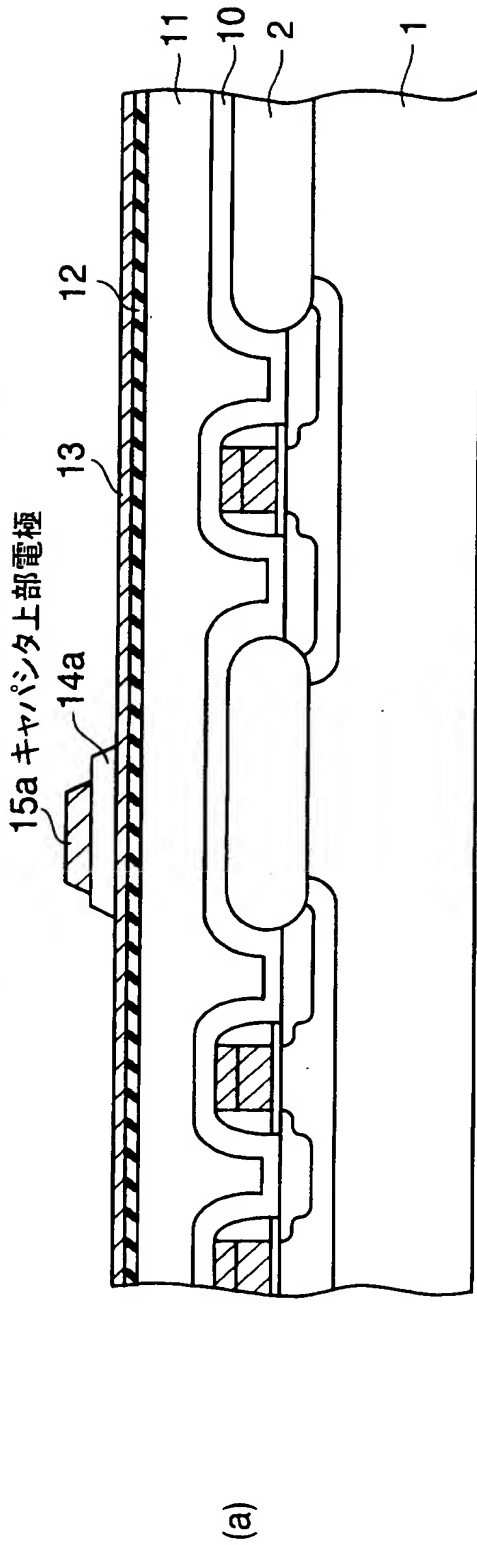
【図 2】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その2)



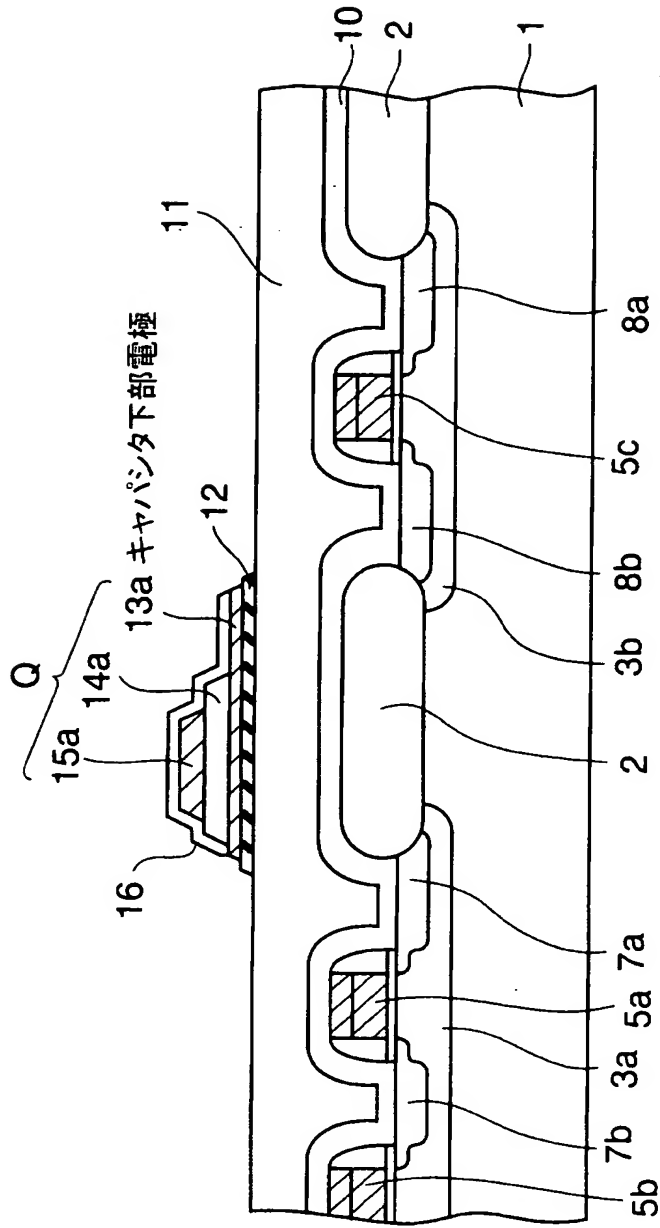
【図 3】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その3)



【図 4】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その4)

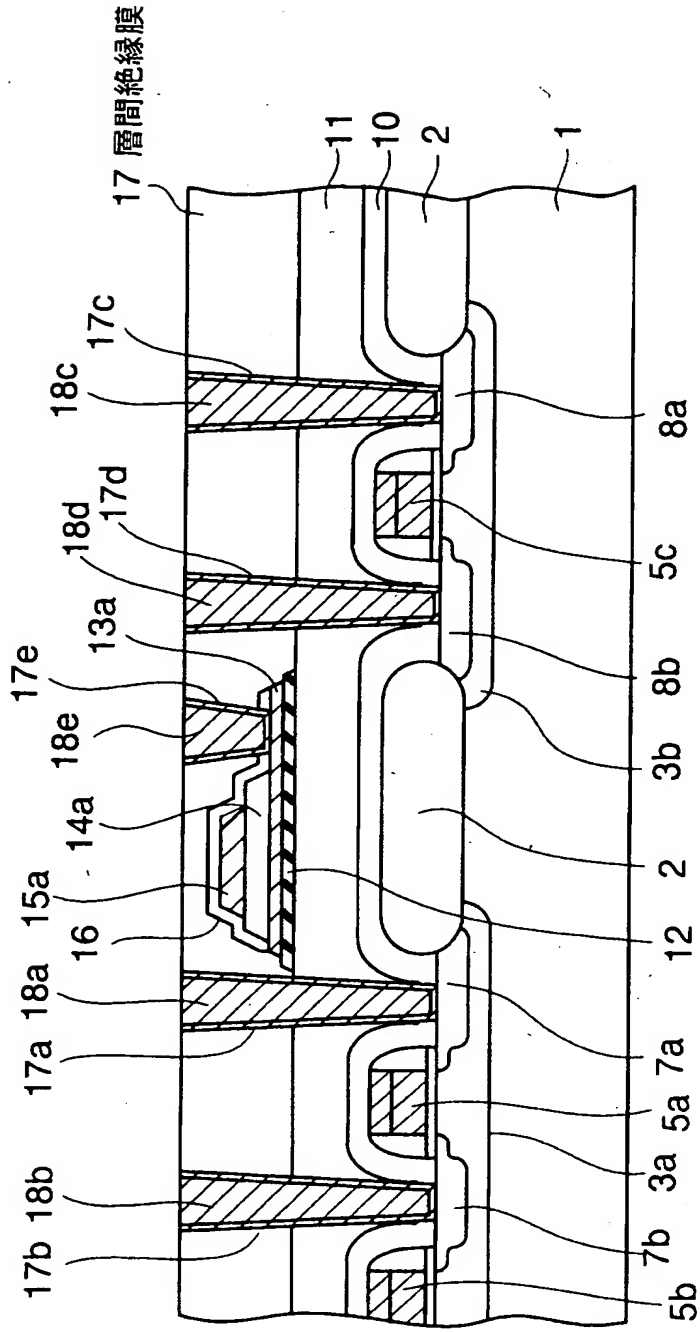




【図 5】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その5)

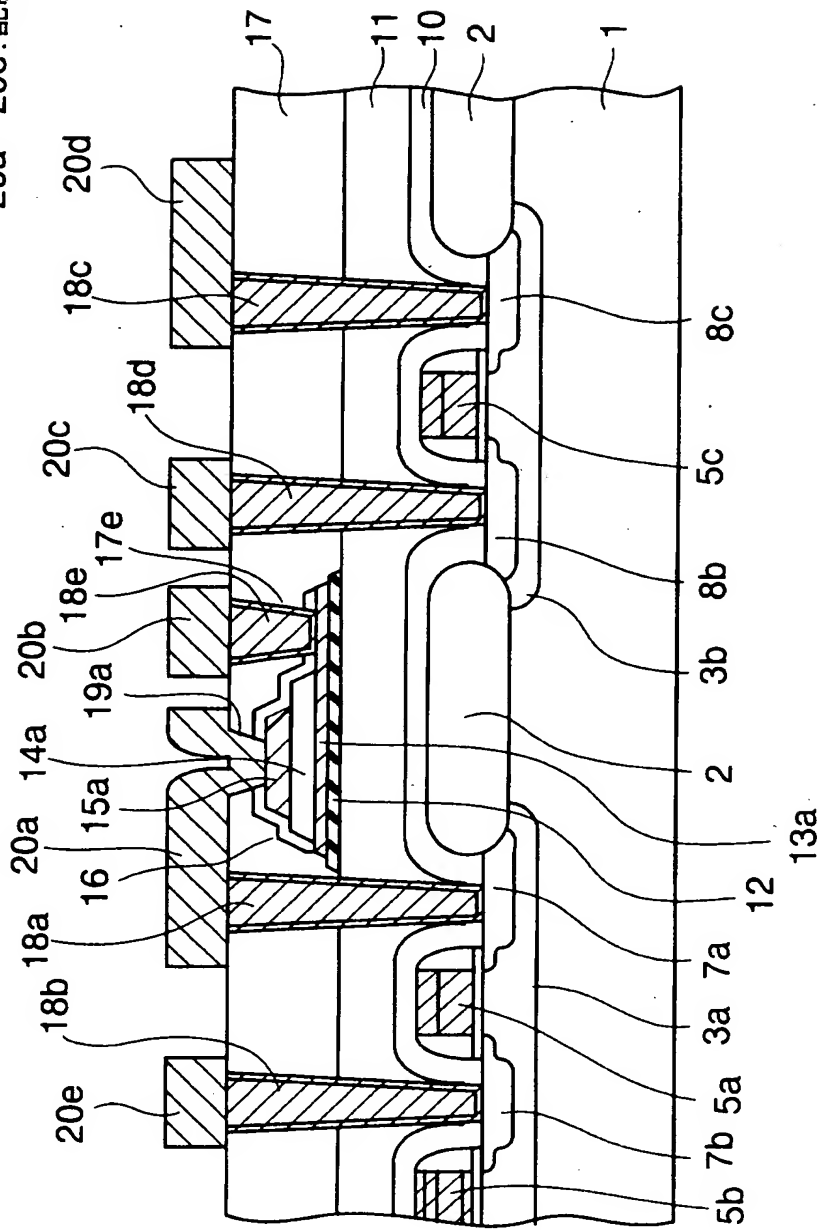
18a~18e: 導電性プラグ



【図 6】

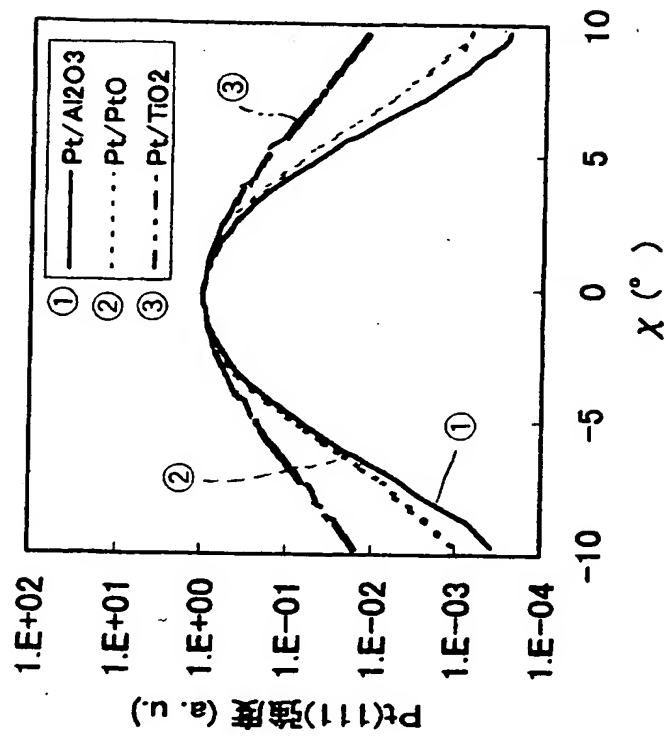
本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その6)

20a~20e:配線



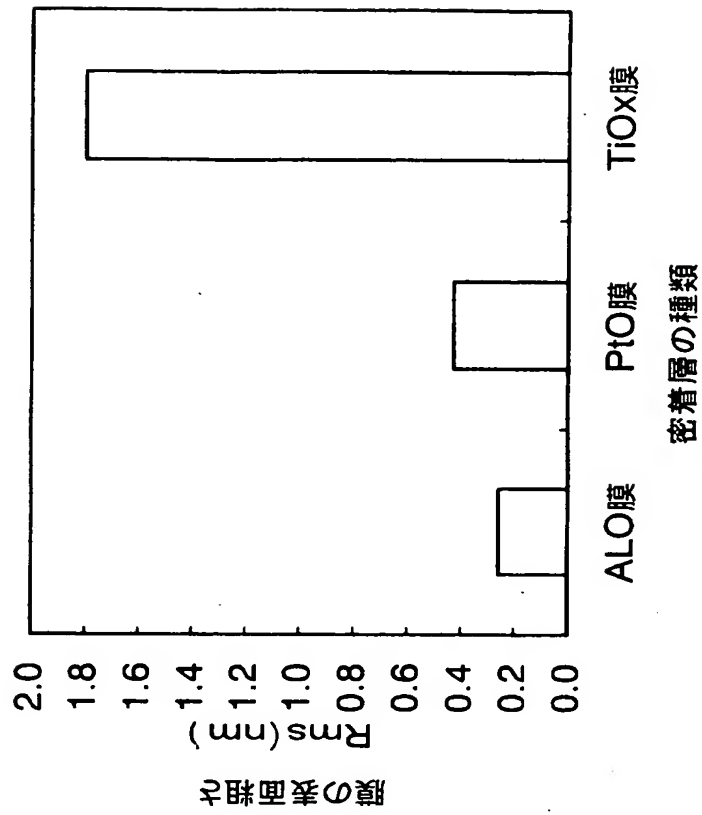
【図 7】

Pt下部電極の(111)配向強度ピークの  
密着層依存性



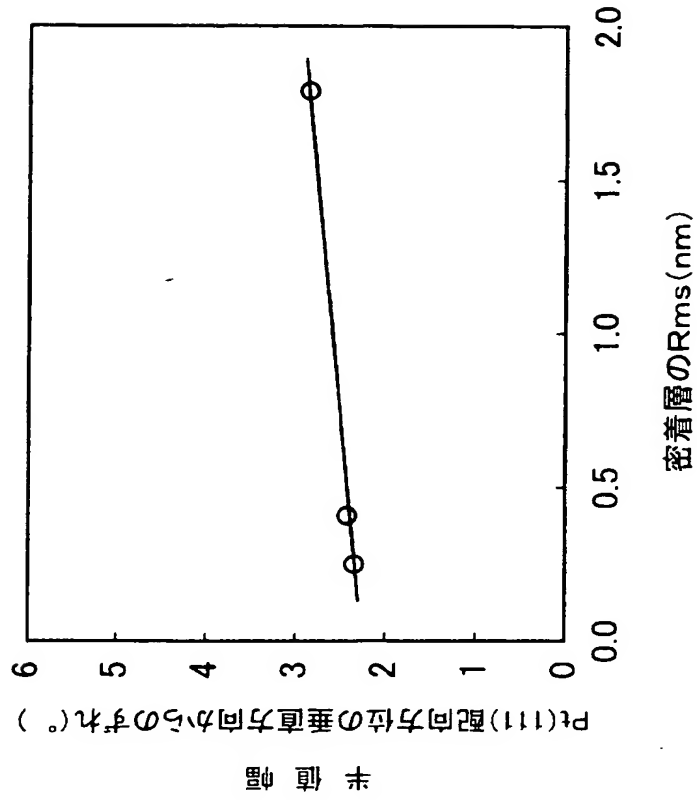
【図 8】

密着層の表面粗さの違いと比較



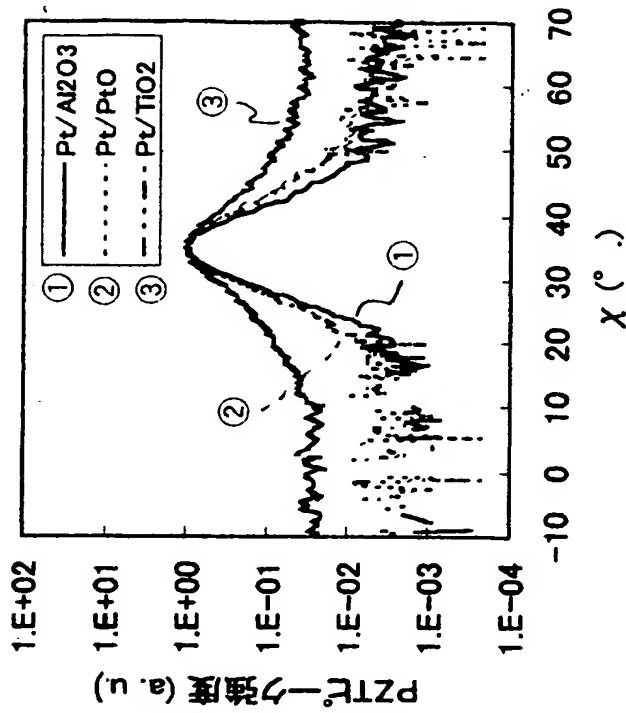
【図 9】

密着層の表面粗さと、密着層上に形成される  
Pt膜の(111)配向方位との関係

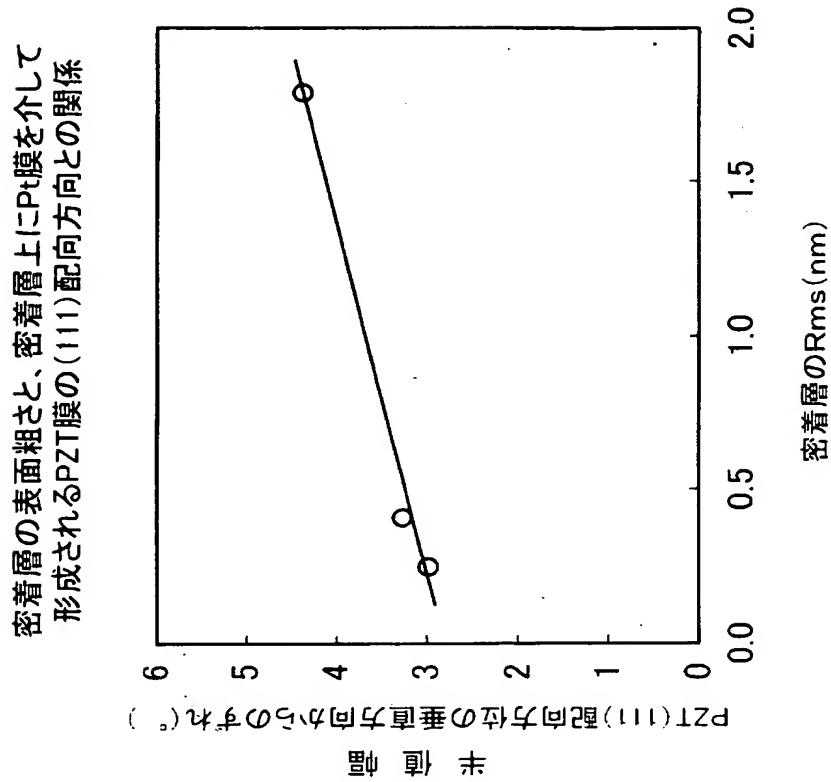


【図 10】

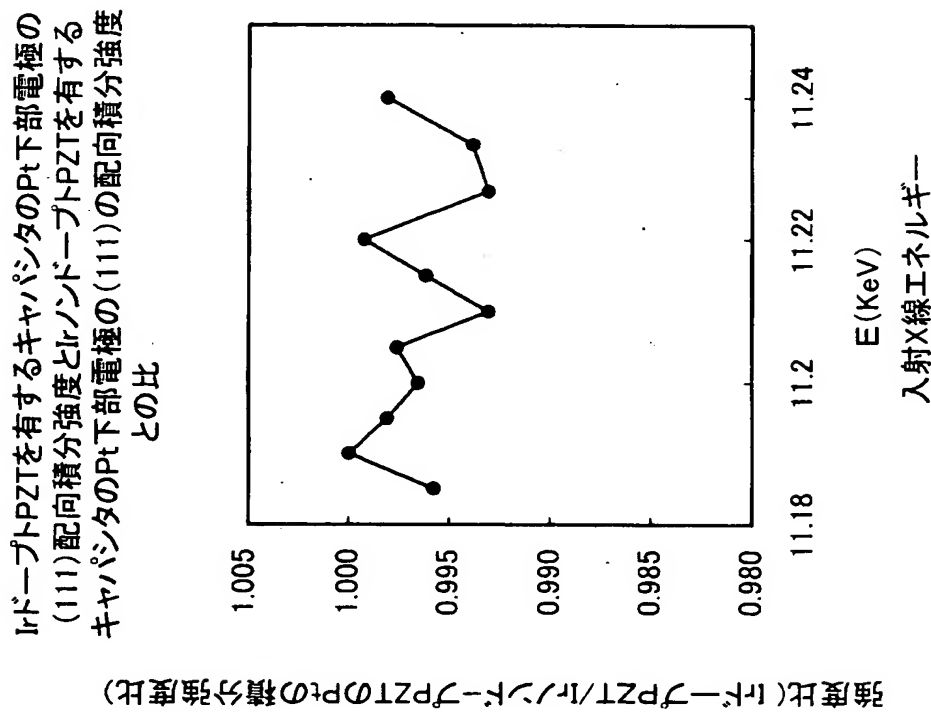
PZT強誘電体膜の(111)配向強度ピークの  
密着性依存性



【図 1 1】

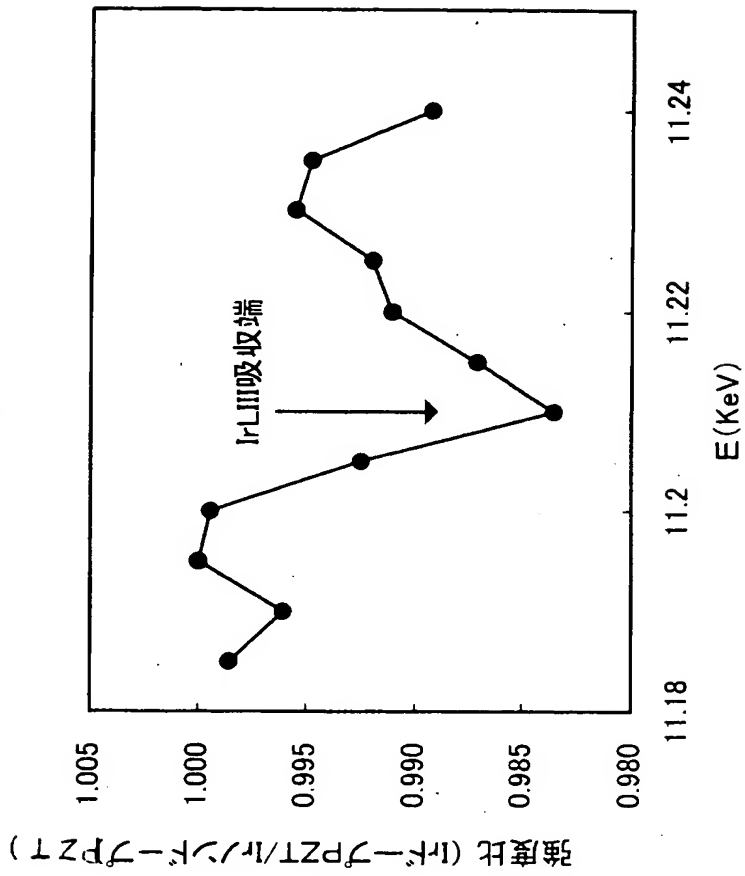


【図 1 2】

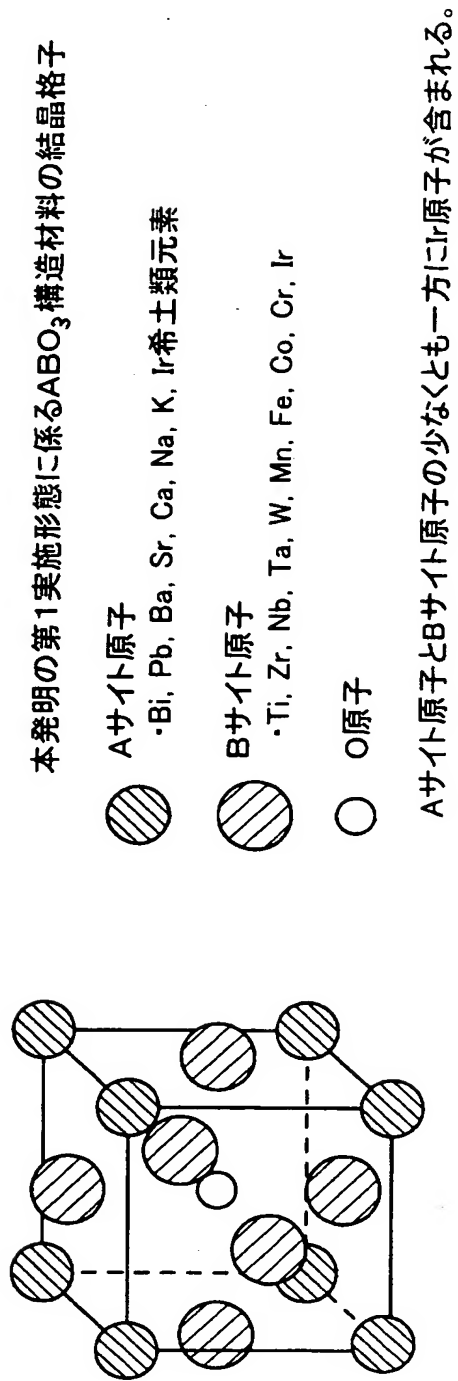


【図 1 3】

IrドープPtPZTとIrノンドープPZTの(111)配向積分強度比と入射X線エネルギーとの関係



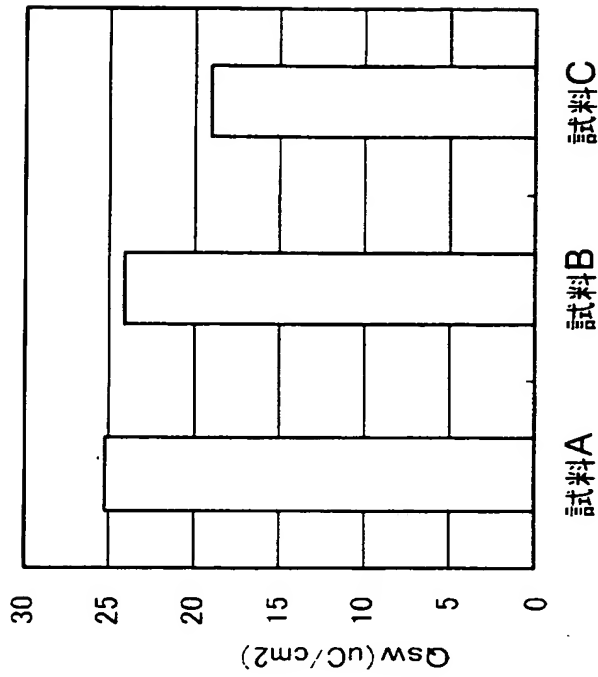
【図 14】





【図 1 5】

IrドーフトPZTを有するキャパシタとのQsw、  
IrノンドーフトPZTを有するキャパシタのQsw



試料A: IrOx/IrドーフトPZT/Pt/Al<sub>2</sub>O<sub>3</sub>

試料B: IrOx/IrドーフトPZT/Pt/TiOx

試料C: IrOx/PZT/Pt/Ti

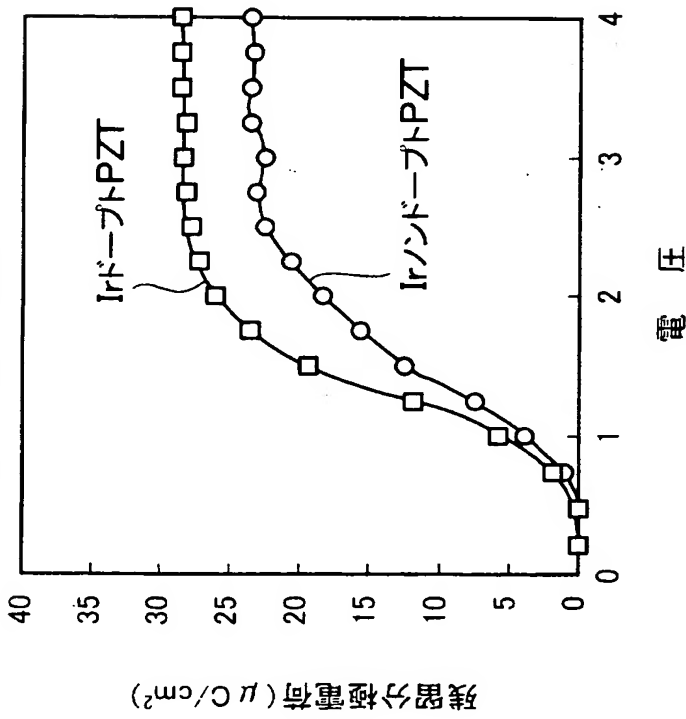
Al<sub>2</sub>O<sub>3</sub>のRms=0.23nm

TiOxのRms=1.8nm

TiのRms=0.76nm

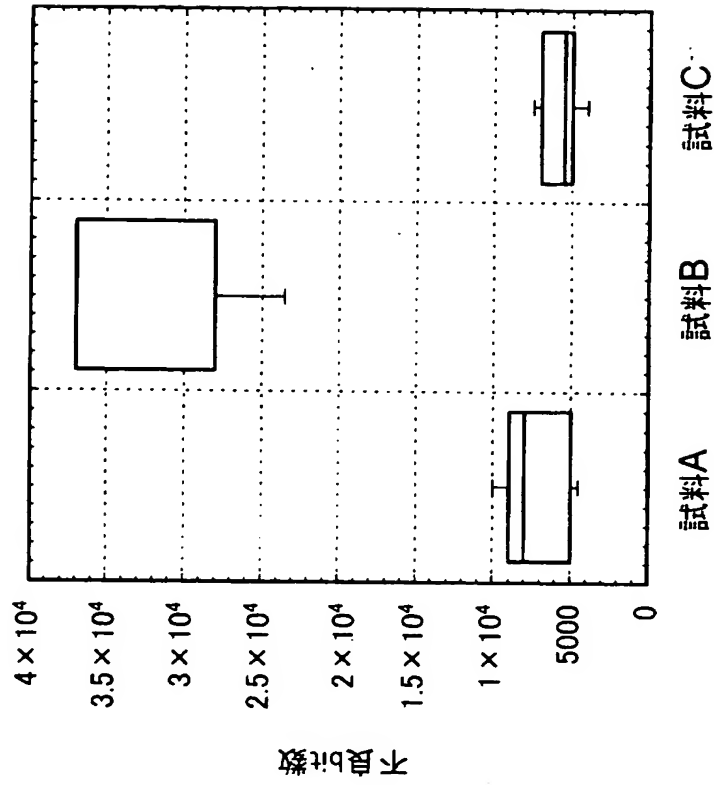
【図 1 6】

本発明の第1実施形態に係るキャパシタの  
電圧-残留分極電荷特性

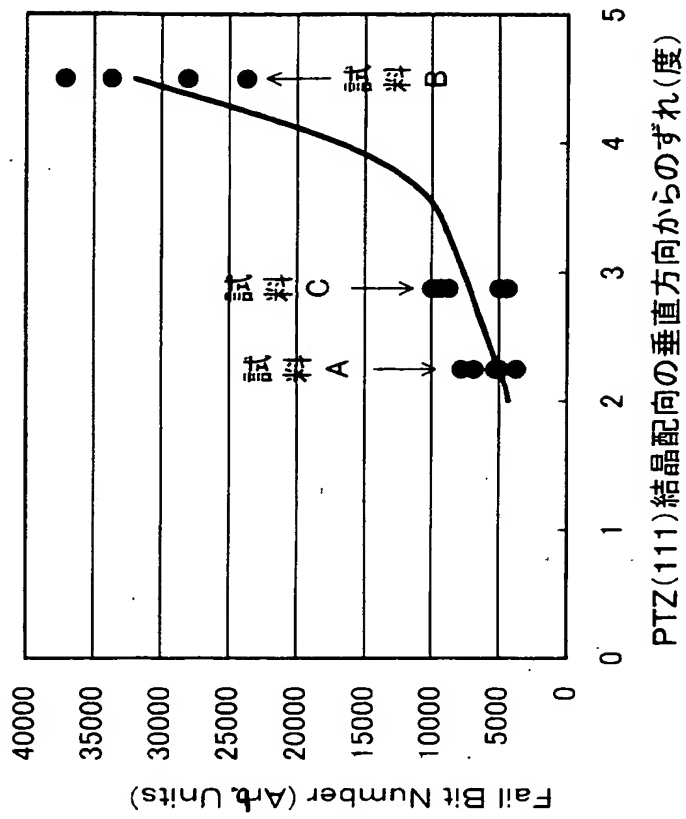


【図 17】

IrドープトPZTを有するキャパシタと、  
IrノンドープトPZTを有するキャパシタの  
不良bit数の関係  
(2T2C)

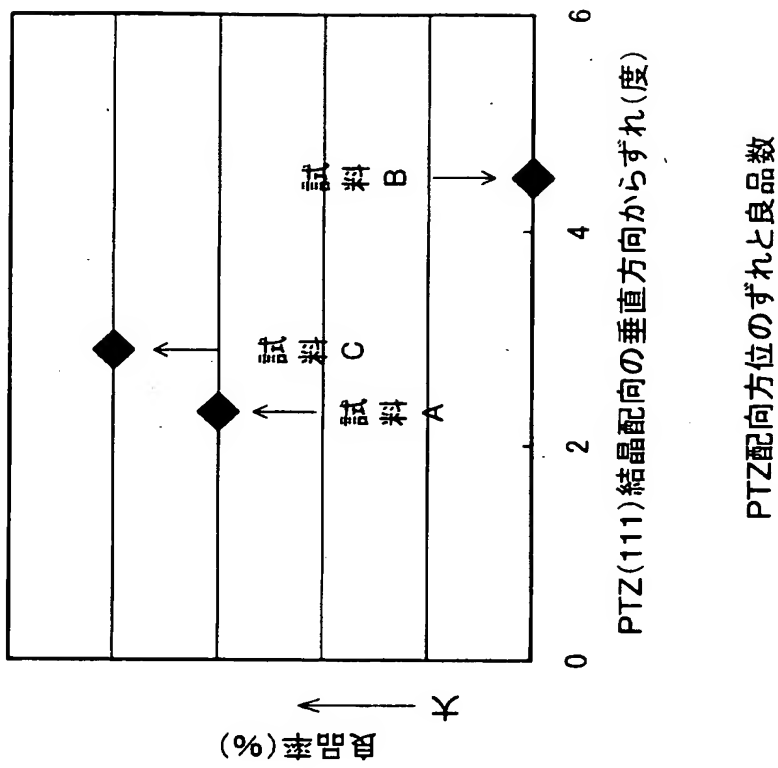


【図 18】

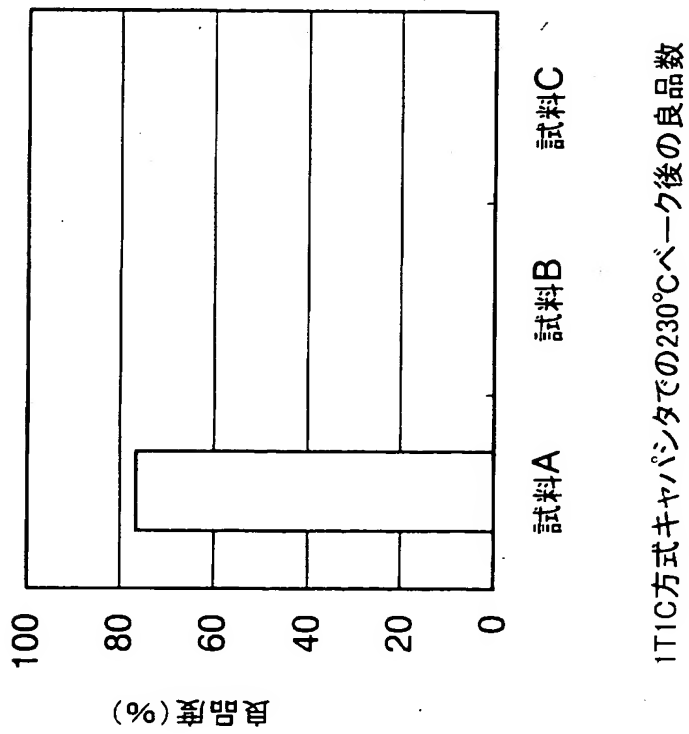


PTZ配向方位のずれと不良bit数

【図 19】

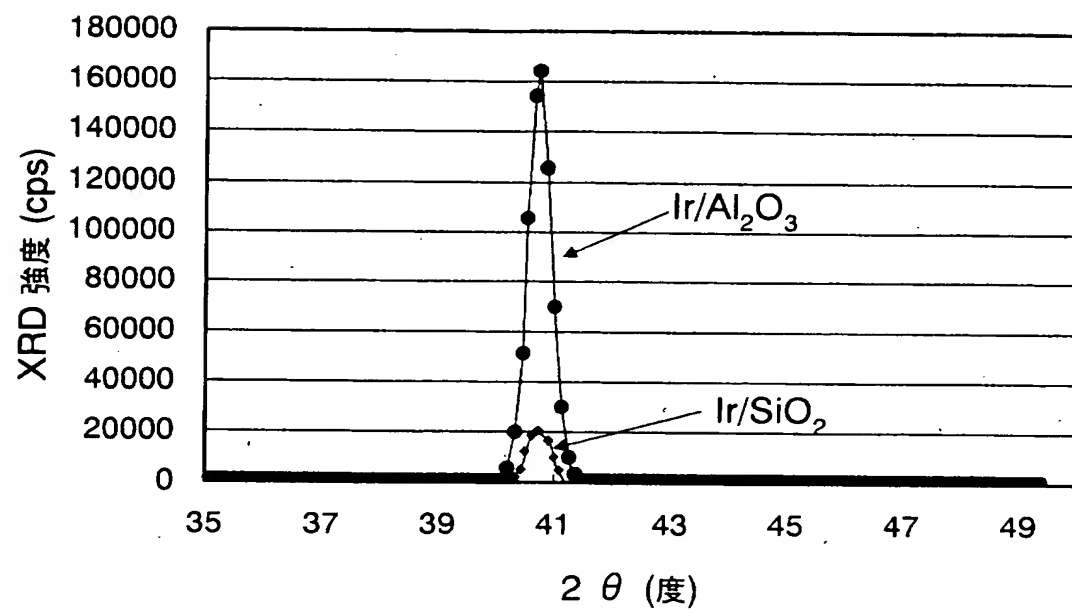


【図 20】



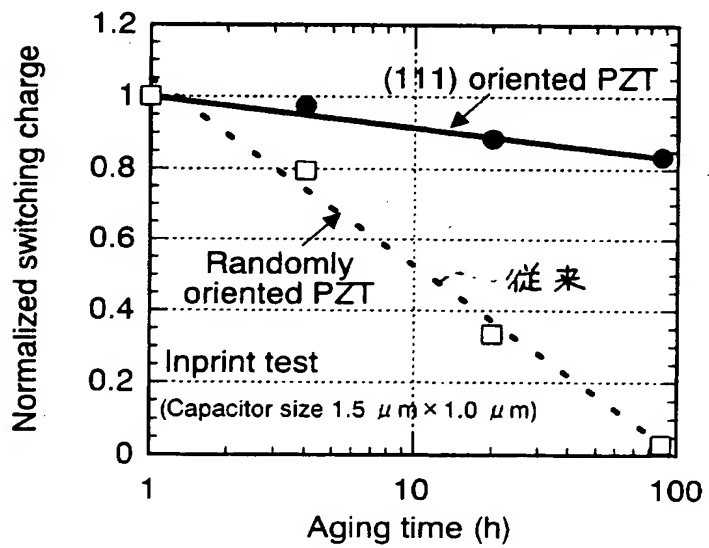
【図 2 1】

Ir(111) X線回折強度の比較



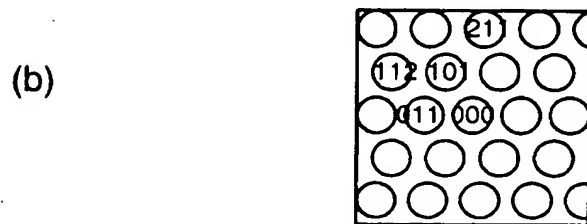
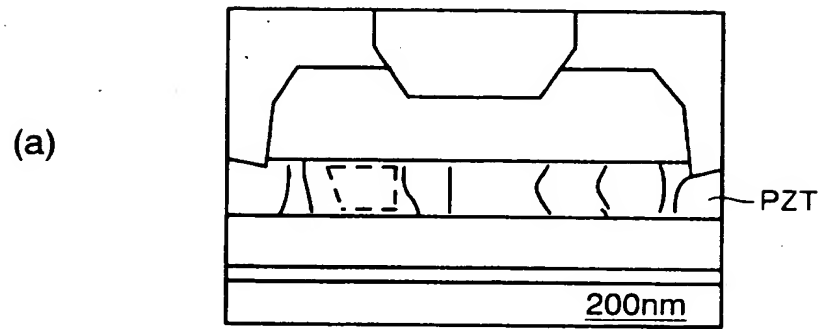
【図 2 2】

従来方法で成膜したPZTを用いたキャパシタと本発明の第2実施形態の成膜法で形成したPZTを用いたキャパシタのインプリント特性



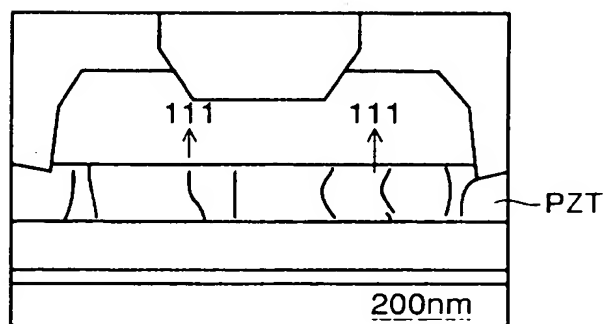
【図 2 3】

不良ビットが発生するキャパシタの断面図と  
PZT結晶の電子回折像



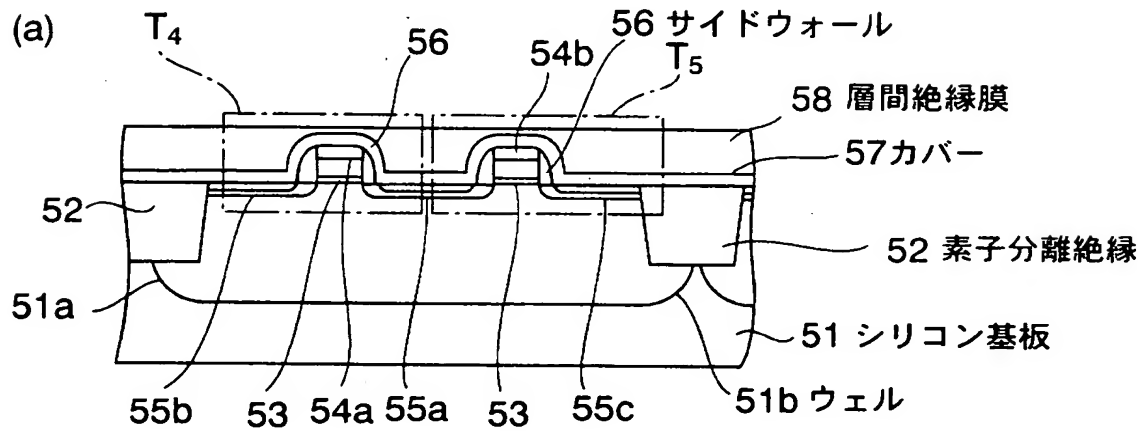
【図 2 4】

不良ビットが発生しないキャパシタの断面図

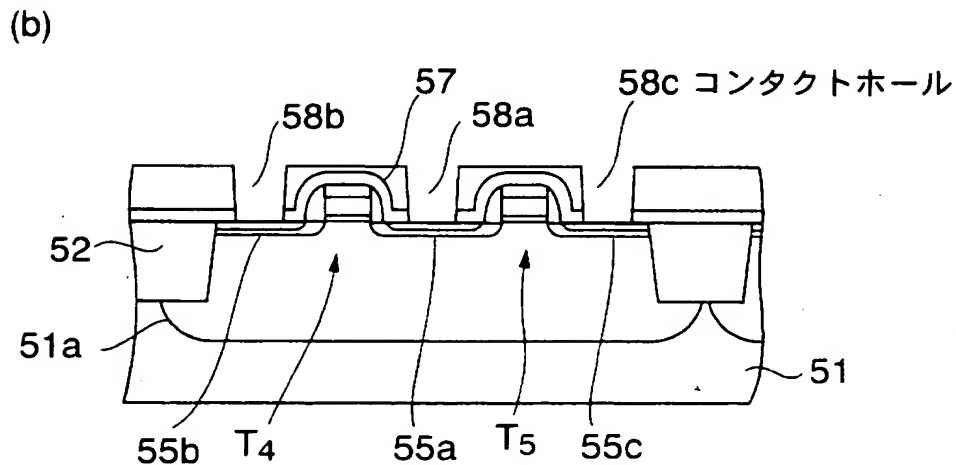


【図 2 5】

本発明の第3実施形態に係る半導体装置の  
製造工程を示す断面図（その1）



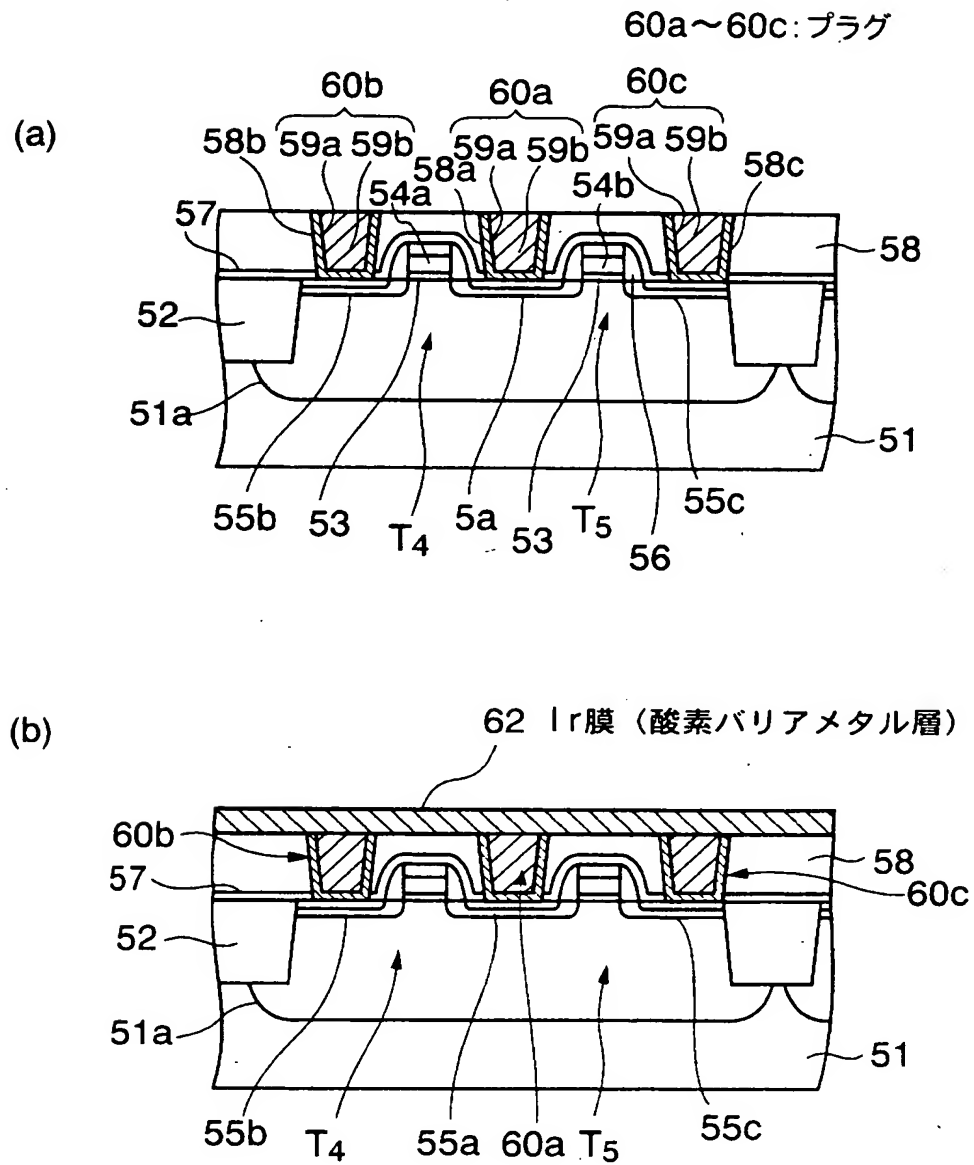
T<sub>4</sub>, T<sub>5</sub> : MOSトランジスタ  
53 : ゲート絶縁膜  
54a, 54b : ゲート電極  
55a~55c : 不純物拡散領域





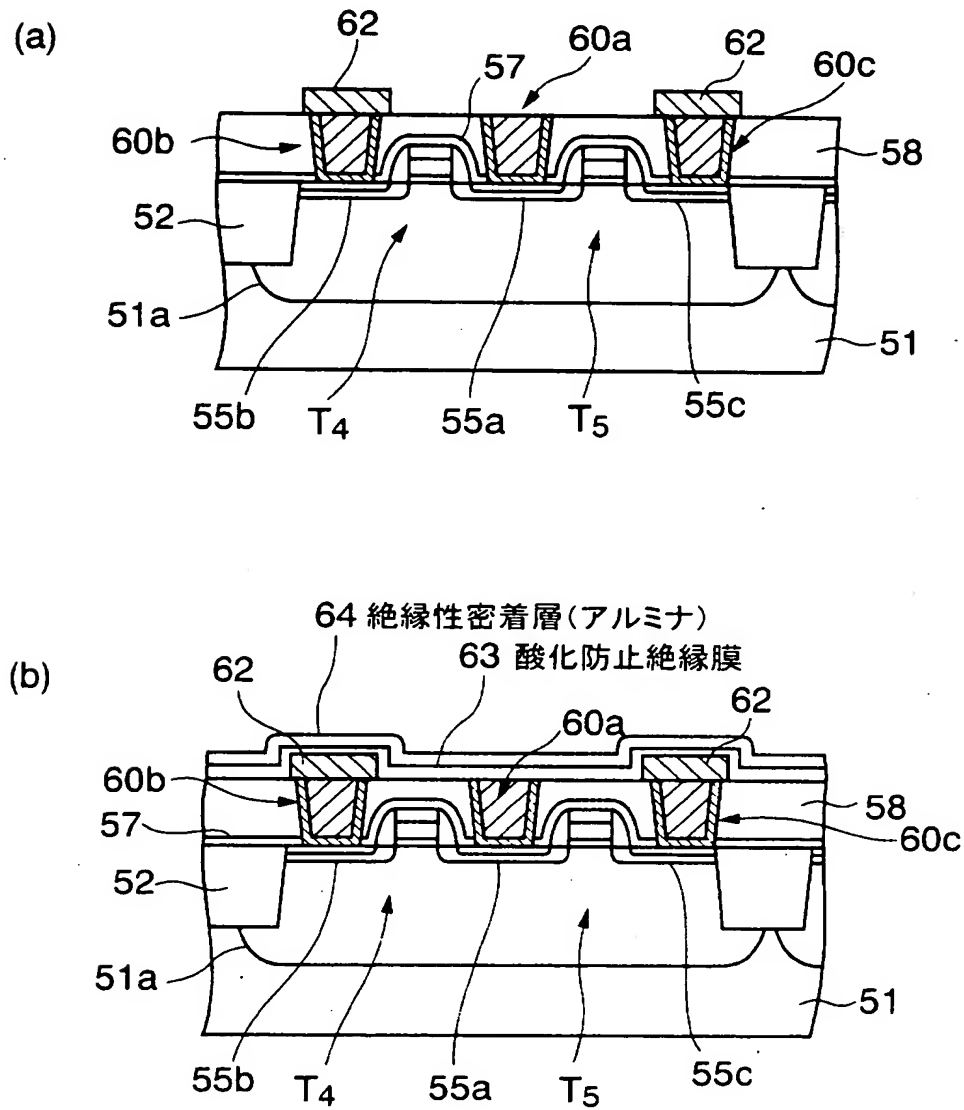
【図 2 6】

本発明の第3実施形態に係る半導体装置の  
製造工程を示す断面図（その2）



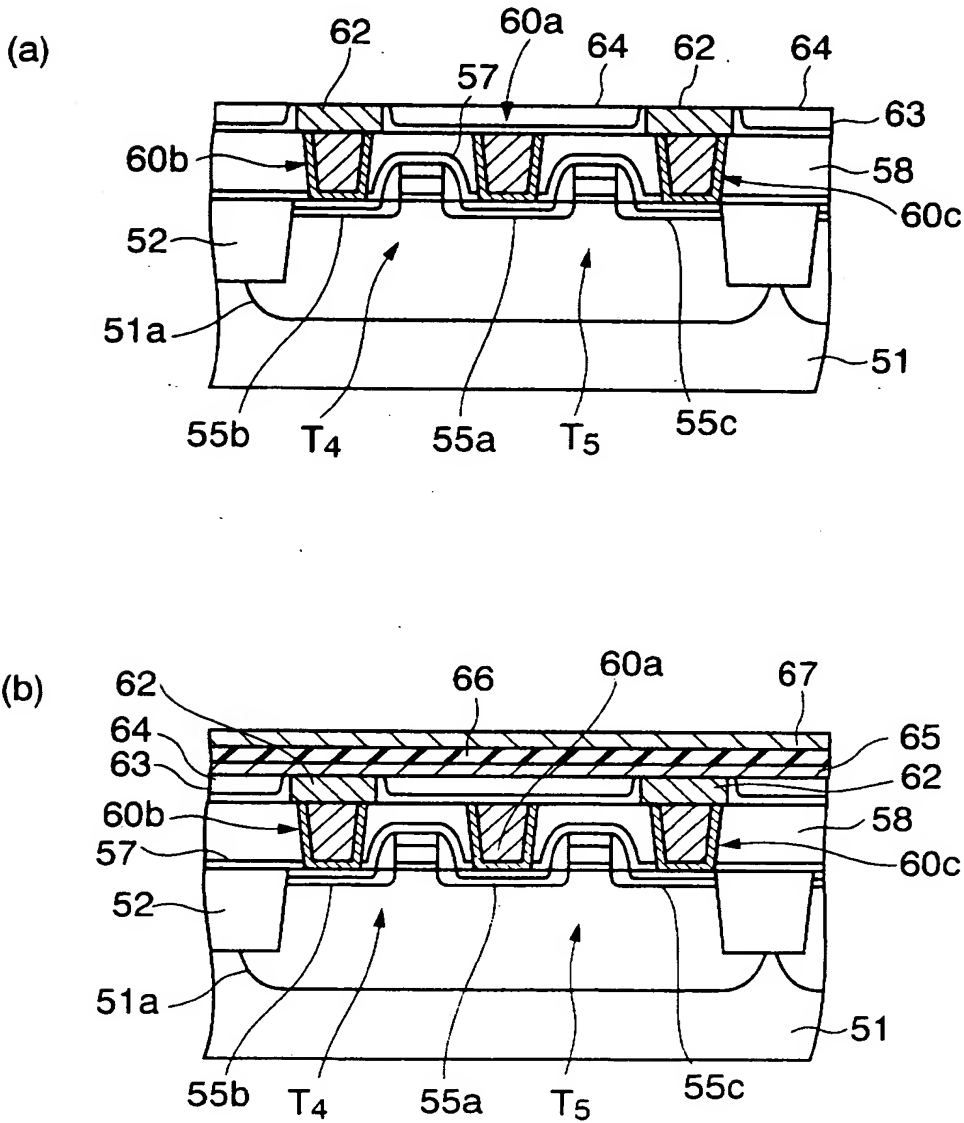
【图 27】

本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その3）



【図 2 8】

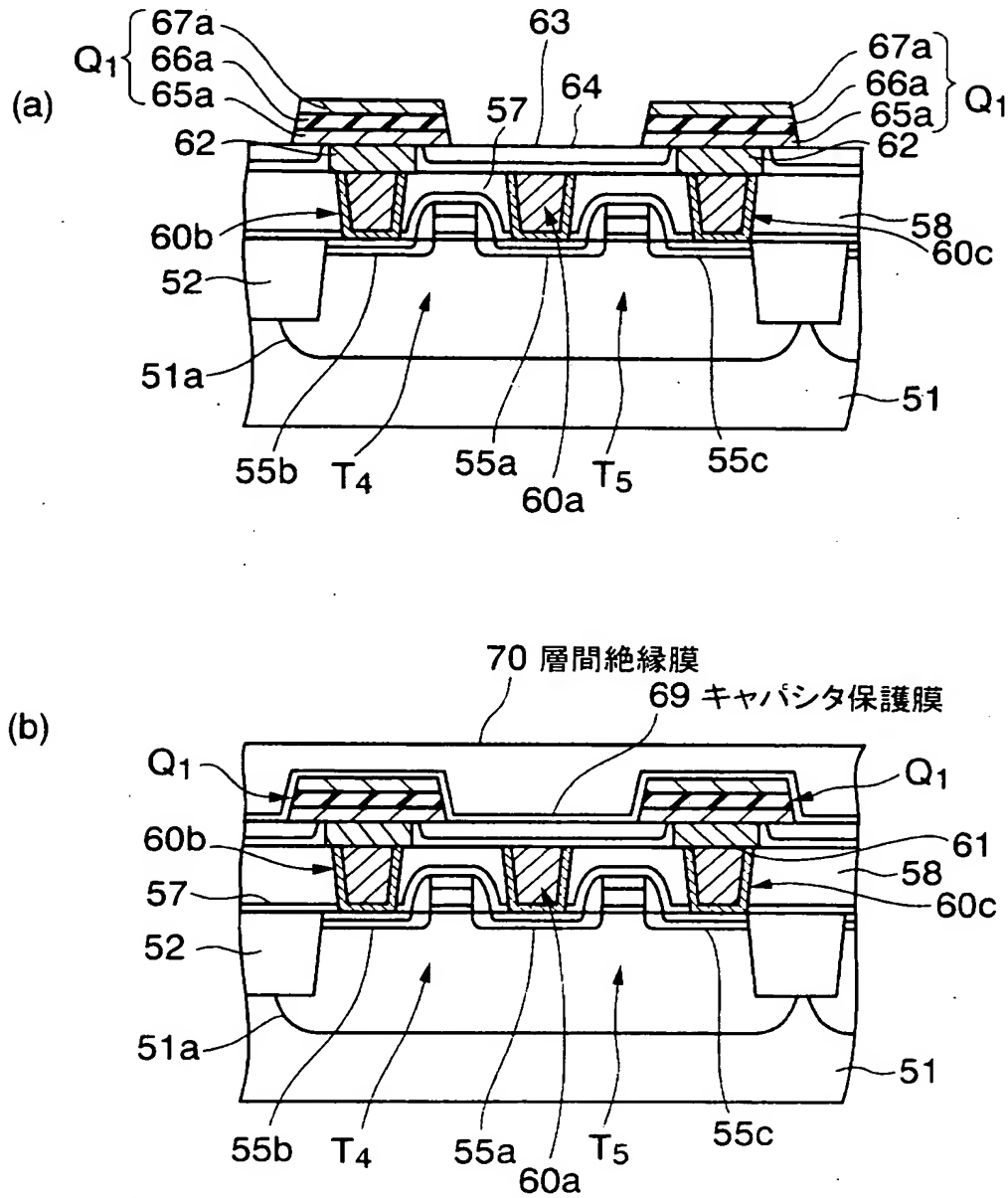
本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その4）



65 : 第1導電膜(Ir)  
 66 : 強誘電体膜(PZT)  
 67 : 第2導電膜(IrOx)

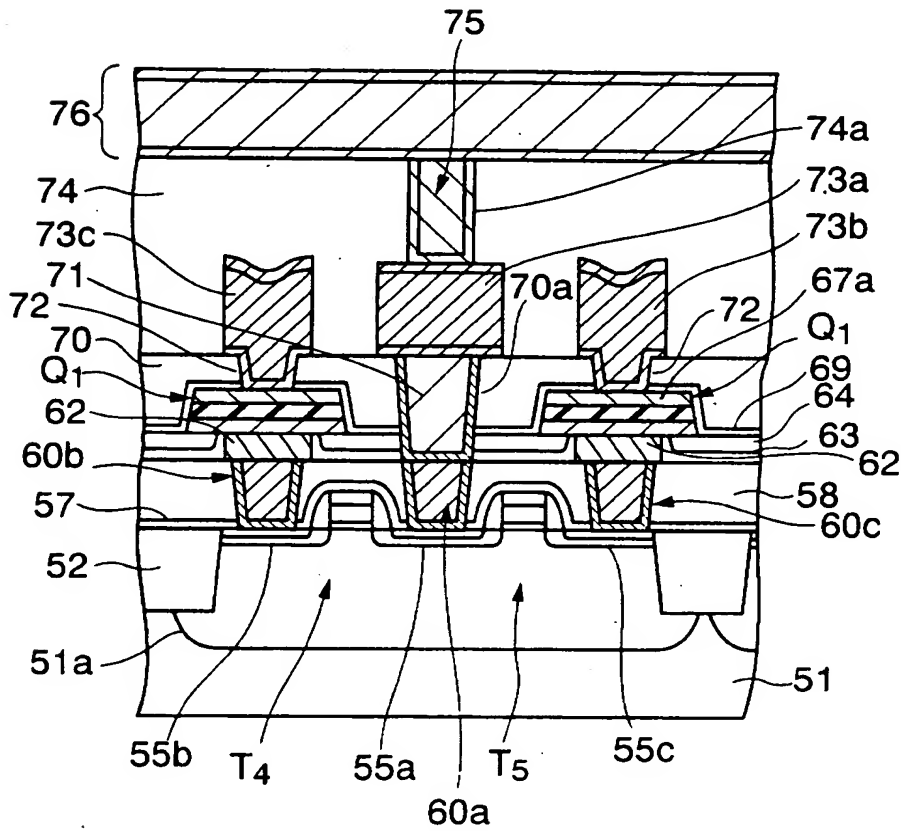
【図 29】

本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その5）



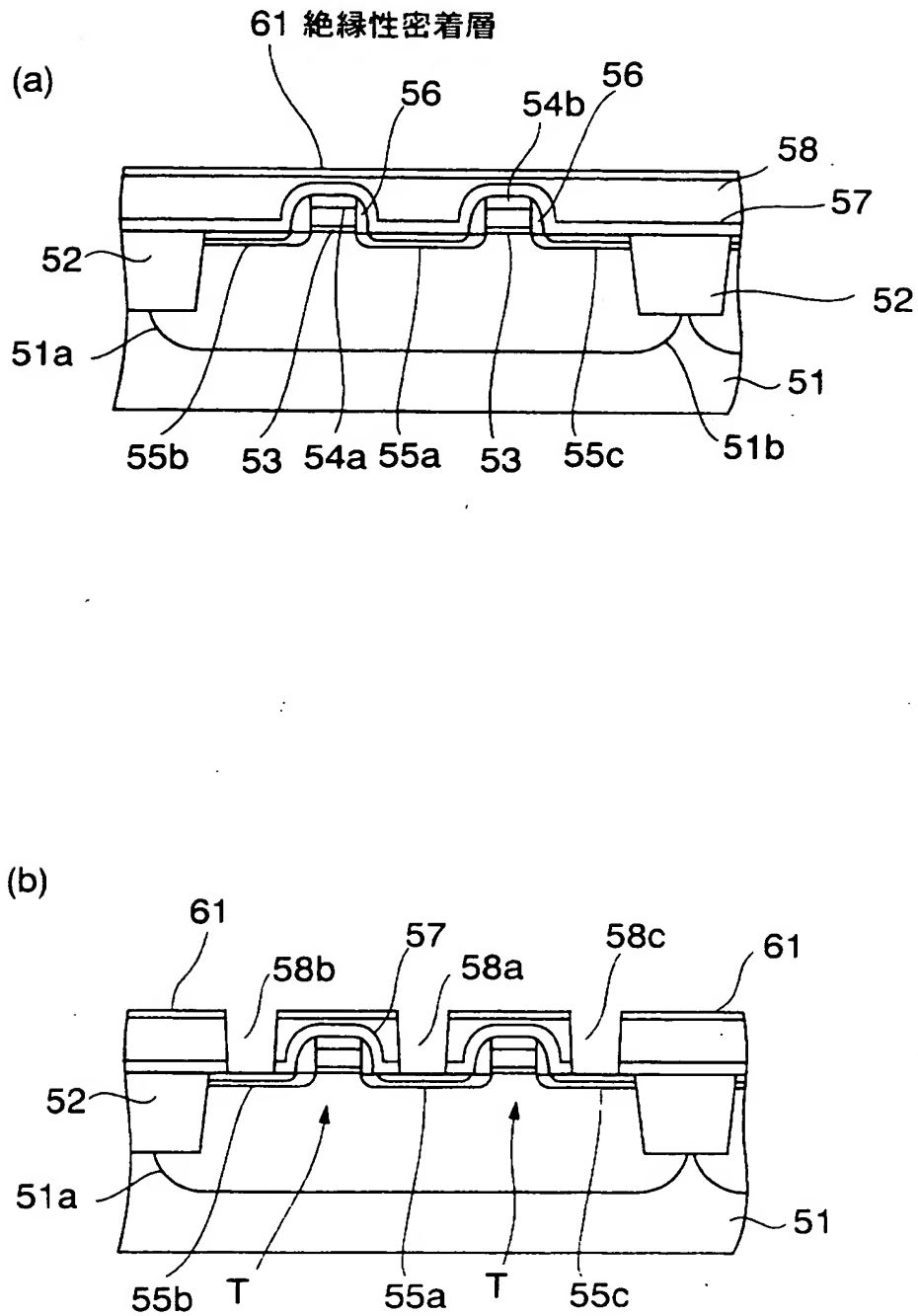
【図 30】

本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その6）



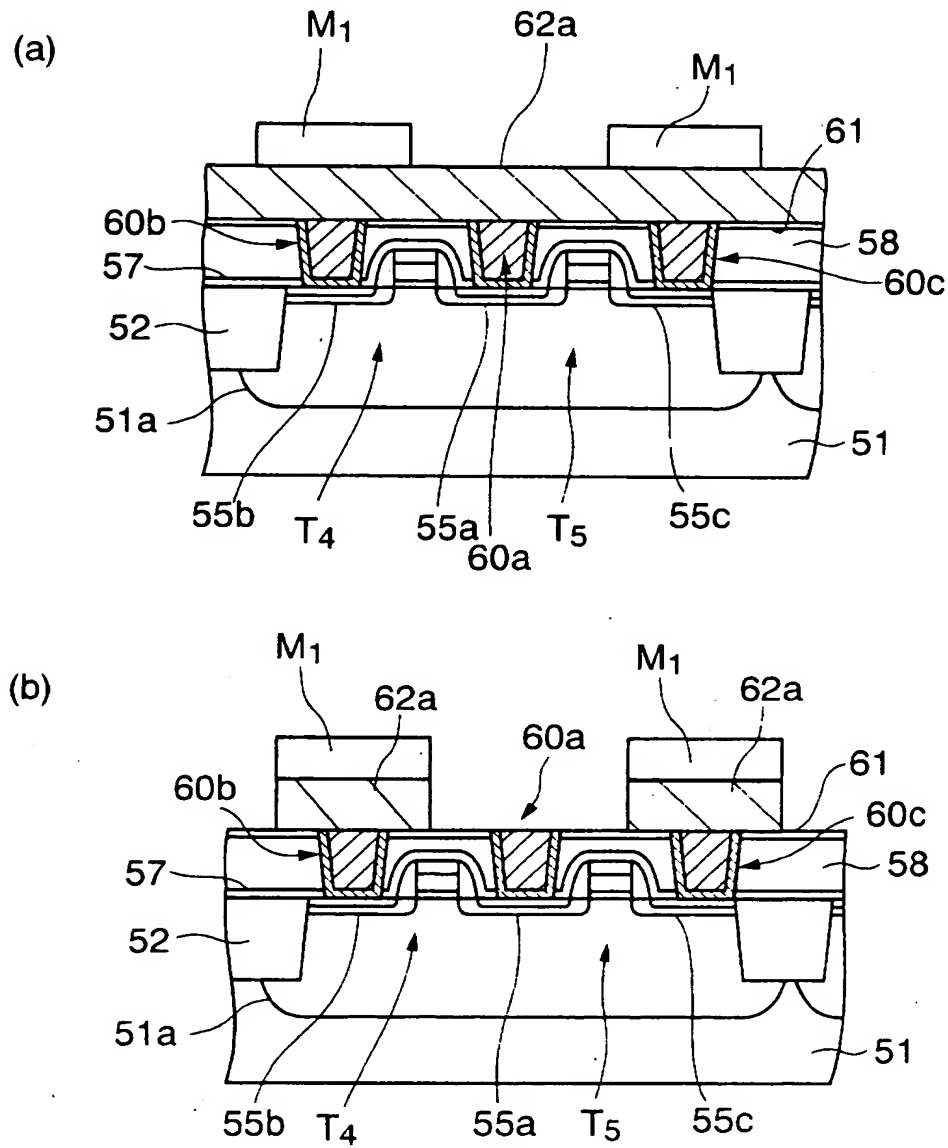
【図 3 1】

本発明の第4実施形態に係る半導体装置の  
製造工程を示す断面図（その1）



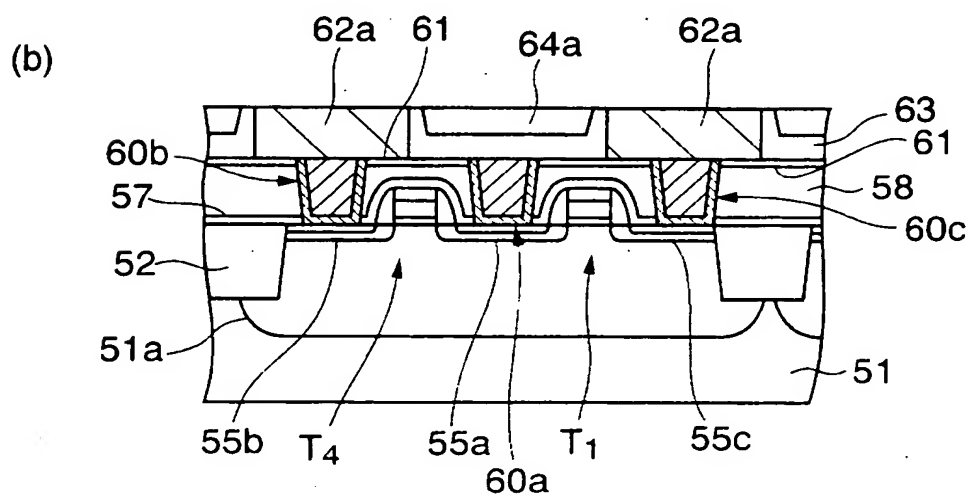
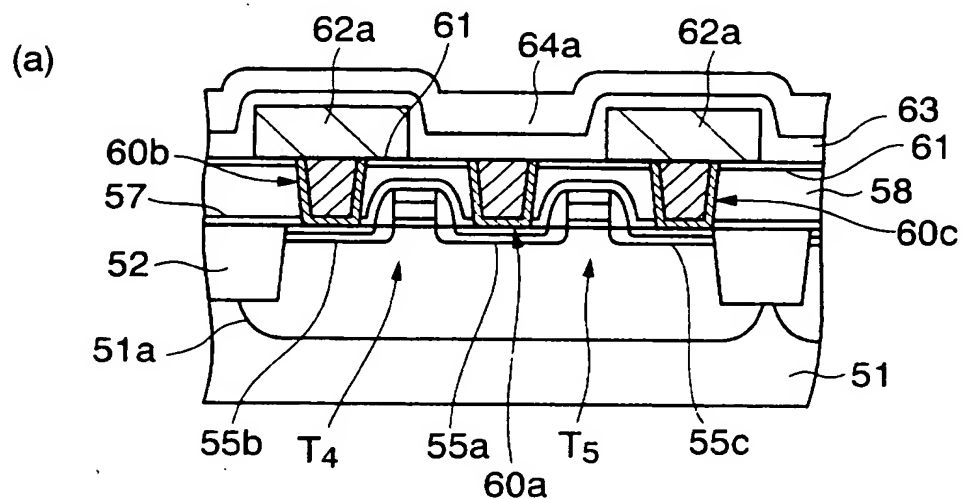
【図 3 2】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その2）



【図 3 3】

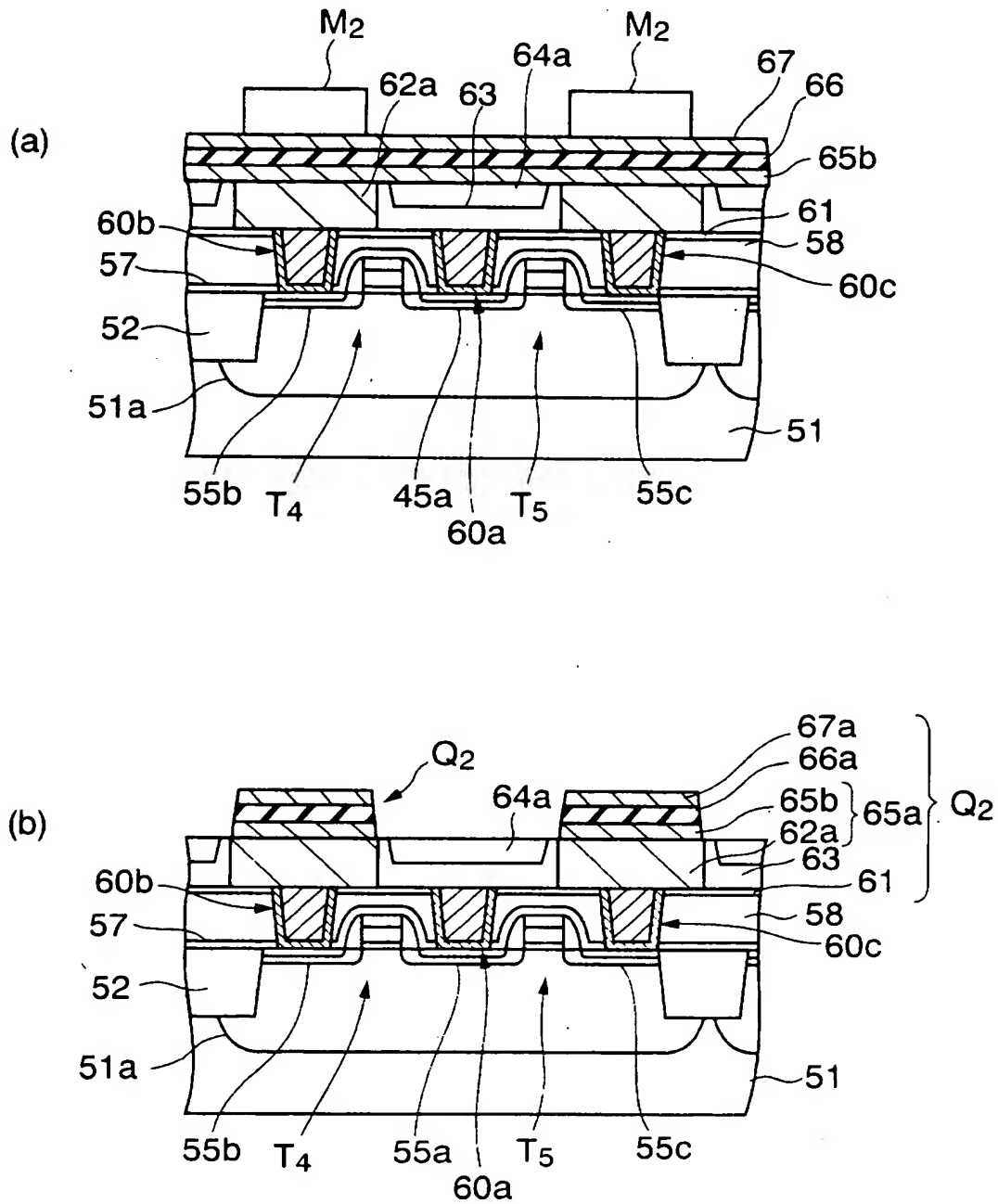
本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その3）





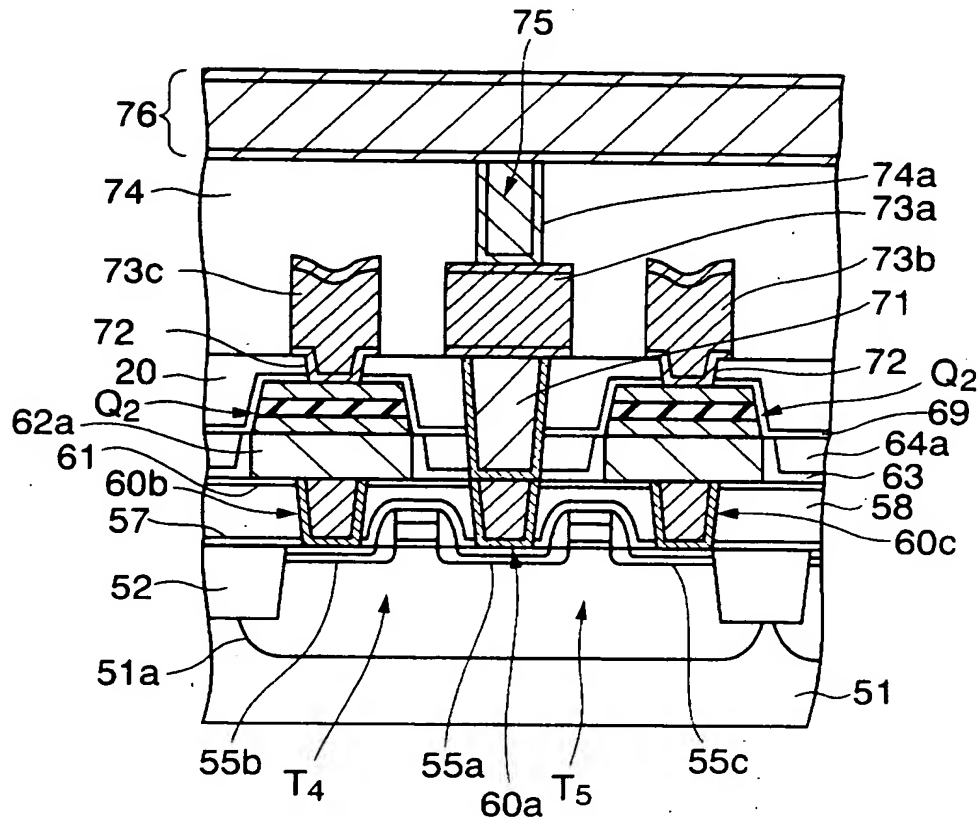
【図 3 4】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その4）



【図 3 5】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その5）



【書類名】 要約書

【要約】

【課題】強誘電体キャパシタを有する半導体装置に関し、強誘電体キャパシタの特性を従来に比べてさらに向上すること。

【解決手段】表面粗さが0.79nm以下の密着層12上に形成され且つ基板1の上面の垂直方向から2.3°以下で傾く(111)配向方位を有するキャパシタ下部電極13aと、(111)配向方位が基板1の上面の垂直方向から3.5°以下で傾いている構造の強誘電体層13aと、キャパシタ上部電極14aとを含む。

【選択図】 図4

【書類名】 手続補正書  
 【整理番号】 0241416  
 【提出日】 平成14年12月12日  
 【あて先】 特許庁長官 殿  
 【事件の表示】

【出願番号】 特願2002-316733

【補正をする者】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 高松 知広

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 中村 亘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 渡邊 純一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 王 文生

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 佐藤 尚之

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 土手 暁

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 野村 健二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 堀井 義正

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 倉澤 正樹

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 高井 一章

【その他】 発明者の氏名の欄におきまして高松知広とするところを  
高松知宏とタイプミスをしてしまいました。

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社